

## 32-bit ARM™ Cortex™-M3 based Microcontroller

# FM3 MB9A310K 系列

## MB9AF311K, MB9AF312K

### ■ 概要

MB9A310K 系列是针对高速处理和低成本应用而设计的高集成度 32 位嵌入式微控制器。

本系列的 CPU 搭载了 ARM Cortex-M3 处理器、闪存及 SRAM 片上闪存,还包含了电机控制定时器、A/D 转换器、各种通信接口(USB, UART, CSIO, I<sup>2</sup>C, LIN) 等在内的丰富外设功能。

“FM3 家族外围资源手册”中该数据手册记载的产品归类于 TYPE5 产品。

(注意事项) ARM and Cortex are the trademarks of ARM Limited in the EU and other countries.

**ARM**™

## ■ 特征

### ● 32 位 ARM Cortex-M3 内核

- 处理器版本: r2p1
- 最高工作频率: 40 MHz
- 嵌套向量中断控制器(NVIC): 支持 1 通道 NMI (不可屏蔽中断)和 48 通道的外设中断。可设定 16 个中断优先级。
- 24 位系统定时器(Sys Tick): 该系统定时器用于管理操作系统任务。

### ● 片上存储器

#### [闪存]

本系列内置 2 个独立的闪存。

- 主闪存
  - 最大 128 KB
  - 读周期: 0 等待周期
  - 用于代码保护的加密功能
- 工作闪存
  - 32 KB
  - 读周期: 0 等待周期
  - 加密功能和代码保护共享

#### [SRAM]

本系列搭载的片上 SRAM 存储器由两个独立的 SRAM(SRAM0, SRAM1)构成。  
SRAM0 连接 Cortex-M3 内核的 I-Code 总线或者 D-Code 总线。  
SRAM1 连接 Cortex-M3 内核的 System 总线。

- SRAM0: 8 KB
- SRAM1: 8 KB

### ● USB 接口

USB 接口由功能和主机构成。

#### [USB 功能]

- 支持 USB2.0 Full-Speed
- 最多支持 6 个端点。
  - 端点 0 是控制传输
  - 端点 1, 2 可选择批量传输、中断传输和同步传输
  - 端点 3 ~ 5 可选择批量传输和中断传输
- 端点 1 ~ 5 由双缓冲器构成

#### [USB 主机]

- 支持 USB2.0 Full-Speed / Low-Speed
- 支持批量传输、中断传输和同步传输
- 自动检测 USB 设备的连接/断开
- IN/OUT 令牌时自动处理握手数据包
- 支持最大 256 B 的数据包长
- 支持唤醒功能

## ● 多功能串口(最多 4 通道)

- 带 16 段×9 位 FIFO 的 2 通道(ch.0, ch.1), 不带 FIFO 的 2 通道(ch.3, ch.5)
- 可从以下选择每路通道的工作模式(ch.5 仅可使用 UART 和 LIN):
  - UART
  - CSIO
  - LIN
  - I<sup>2</sup>C

### [UART]

- 全双工双缓冲器
- 可选择奇偶校验的有/无
- 内置专用波特率发生器
- 外部时钟可用作串行时钟
- 丰富的错误检测功能(奇偶校验错误、帧错误、溢出错误)

### [CSIO]

- 全双工双缓冲器
- 内置专用波特率发生器
- 溢出错误检测功能

### [LIN]

- 支持 LIN 协议 Rev.2.1
- 全双工双缓冲器
- 支持主控/从动模式
- 生成 LIN break field (可变为 13 ~ 16 位长)
- 生成 LIN break 分界符(可变为 1 ~ 4 位长)
- 丰富的错误检测功能(奇偶校验错误、帧错误、溢出错误)

### [I<sup>2</sup>C]

支持标准模式(最快 100 kbps)/高速模式(最快 400 kbps)

## ● DMA 控制器(4 通道)

DMA 控制器具有独立于 CPU 的 DMA 专用总线, 可与 CPU 并列工作。

- 4 路可独立配置和操作的通道
- 可根据软件或者内置外设功能的请求进行传输
- 传输地址空间: 32 位(4 GB)
- 传输模式: 整块传输/猝发传输/请求传输
- 传输数据类型: 字节/半字/字
- 传输块个数: 1 ~ 16
- 传输次数: 1 ~ 65536

## ● A/D 转换器(最多 8 通道)

### [12 位 A/D 转换器]

- 逐次比较型
- 搭载 2 个单元
- 转换时间: 1.0 μs@5 V
- 可进行优先级转换(2 个优先级)
- 扫描转换模式
- 搭载存储转换数据的 FIFO (用于扫描转换: 16 段; 用于优先级转换: 4 段)

### ● 基本定时器(最多 8 通道)

可从以下选择各通道的工作模式。

- 16 位 PWM 定时器
- 16 位 PPG 定时器
- 16/32 位重载定时器
- 16/32 位 PWC 定时器

### ● 通用 I/O 口

本系列的引脚不用作外设功能时，可用作 I/O 口。另外，搭载的端口重定位功能可设定哪一个 I/O 口配置外设功能。

- 可上拉控制各个引脚
  - 可直接读出引脚电平
  - 具有端口重定位功能
  - 最多 36 个高速 I/O 口
  - 部分端口耐 5 V
- 关于该引脚，详情参照“■ 引脚功能说明”。

### ● 多功能定时器

多功能定时器由以下模块构成。

- 16 位自由运行定时器 × 3 通道
- 输入捕捉 × 4 通道
- 输出比较 × 6 通道
- A/D 启动比较 × 3 通道
- 波形发生器 × 3 通道
- 16 位 PPG 定时器 × 3 通道

使用以下功能可实现电机控制。

- PWM 信号输出功能
- DC 斩波器波形输出功能
- 死区定时器功能
- 输入捕捉功能
- A/D 转换器启动功能
- DTIF(电机紧急停止)中断功能

### ● 实时时钟(RTC: Real Time Clock)

可计数 01 年 ~ 99 年的年/月/日/时/分/秒/星期几。

- 可设定指定日期时间(年/月/日/时/分/秒/星期几)的中断功能，也可仅设定年/月/日/时/分
- 设定时间后/每到设定时间的定时器中断功能
- 可在继续计数的同时改写时间
- 闰年的自动计数

**● Auad 计数器(QPRC : Quadrature Position/Revolution Counter)**

Quad 计数器(QPRC)用于测定位置编码器的位置。另外，还可通过设定作为递增/递减计数器使用。

- 可设定 3 个外部事件输入引脚 AIN, BIN, ZIN 的检测沿
- 16 位位置计数器
- 16 位旋转计数器
- 2 个 16 位比较寄存器

**● 双定时器(32/16 位递减计数器)**

双定时器由两个可编程的 32/16 位递减计数器构成。

可从以下选择定时器通道的工作模式。

- 自由运行模式
- 周期模式(=重载模式)
- 单次模式

**● 计时计数器**

计时计数器可把芯片从低功耗模式中唤醒。

间隔定时器: 使用最大 64 s@副时钟(32.768 kHz)

**● 外部中断控制单元**

- 外部中断输入引脚: 最多 6 个
- 不可屏蔽中断(NMI)输入引脚: 1 个

**● 监视定时器(2 通道)**

达到超时值时, 监视定时器生成中断或复位。

本系列有两种不同的监视: "硬件"监视和"软件"监视。

"硬件"监视定时器使用内置低速 CR 振荡器, 因此在 RTC 模式、停止模式、深层待机 RTC 模式、深层待机停止模式以外的任何低功耗模式下都可以工作。

**● CRC (Cyclic Redundancy Check)加速器**

CRC 加速器进行软件处理负荷高的 CRC 计算, 以减轻数据接收及存储整合性确认的处理负荷。

支持 CCITT CRC16 和 IEEE-802.3 CRC32。

- CCITT CRC16 Generator Polynomial: 0x1021
- IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

## ● 时钟/复位

### [时钟]

可选择 5 种时钟源(2 种外部振荡、2 种内部 CR 振荡、主 PLL)。

- 主时钟 : 4 MHz ~ 48 MHz
- 副时钟 : 32.768 kHz
- 内部高速 CR 时钟 : 4 MHz
- 内部低速 CR 时钟 : 100 kHz
- 主 PLL 时钟

### [复位]

- INITX 引脚的复位请求
- 上电复位
- 软件复位
- 监视定时器复位
- 低压检测复位
- 时钟监视器复位

## ● 时钟监视功能(CSV : Clock Super Visor)

该功能根据 CR 振荡器生成的时钟来监视外部时钟的异常。

- 检测出外部振荡时钟故障(时钟停止)时，复位有效。
- 检测出外部频率异常时，中断或复位有效。

## ● 低压检测功能(LVD : Low Voltage Detect)

本系列可在 2 个阶段监视 VCC 引脚的电压。VCC 引脚的电压比设定的电压低时，低压检测功能生成中断或者复位。

- LVD1：使用中断报告错误
- LVD2：自动复位操作

## ● 低功耗模式

有 6 种低功耗模式。

- 休眠
- 定时器
- RTC
- 停止
- 深层待机 RTC (可选择有/无片上 SRAM)
- 深层待机停止(可选择有/无片上 SRAM)

## ● 调试

串行线 JTAG 调试端口(SWJ-DP)

## ● 电源

- 支持大范围电压 : VCC = 2.7 V ~ 5.5 V
- USB I/O 用电源 : USBVCC = 3.0 V ~ 3.6 V (使用 USB 时)  
= 2.7 V ~ 5.5 V (使用 GPIO 时)

## ■ 产品阵容

· 存储器容量

产品名称		MB9AF311K	MB9AF312K
片上闪存	主闪存	64 KB	128 KB
	工作闪存	32 KB	32 KB
片上 SRAM	SRAM0	8 KB	8 KB
	SRAM1	8 KB	8 KB
	合计	16 KB	16 KB

· 功能

产品名称		MB9AF311K MB9AF312K
引脚数		48
CPU		Cortex-M3
频率		40 MHz
电源电压范围		2.7 V ~ 5.5 V (USBVCC: 3.0 V ~ 3.6 V)
USB2.0 (Function/Host)		1ch. (最大)
DMAC		4ch.
多功能串口 (UART/CSIO/LIN/I <sup>2</sup> C)		4ch. (最大) 有 FIFO (16 段× 9 位):ch.0, ch.1 无 FIFO: ch.3, ch.5 (ch.5 仅可使用 UART 和 LIN)
基本定时器 (PWC/重载定时器/PWM/PPG)		8ch. (最大)
多功能定时器	A/D 启动比较	3ch.
	输入捕捉	4ch.
	自由运行定时器	3ch.
	输出比较	6ch.
	波形发生器	3ch.
PPG	3ch.	1 unit (最大)
Quad 计数器		1ch. (最大)
双定时器		1 unit
实时时钟		1 unit
计时计数器		1 unit
CRC 加速器		Yes
监视定时器		1ch. (SW) + 1ch. (HW)
外部中断		6pins (最大) + NMI × 1
通用 I/O 口		36pins (最大)
12 位 A/D 转换器		8ch. (2 unit)
时钟异常检测功能(CSV)		Yes
低压检测功能(LVD)		2ch.
内置 CR	高速	4 MHz (±2%)
	低速	100 kHz (标准)
调试功能		SWJ-DP

(注意事项) 受封装引脚数量的限制, 未配置各产品搭载的外设功能的全部信号。需要某种功能时, 可使用 I/O 口的端口重定位功能进行再配置。

## ■ 封装及产品型号

封装	产品名称	MB9AF311K MB9AF312K
LQFP: FPT-48P-M49 (0.5mm pitch)		○
QFN: LCC-48P-M73 (0.5mm pitch)		计划中
LQFP: FPT-52P-M02 (0.65mm pitch)		计划中

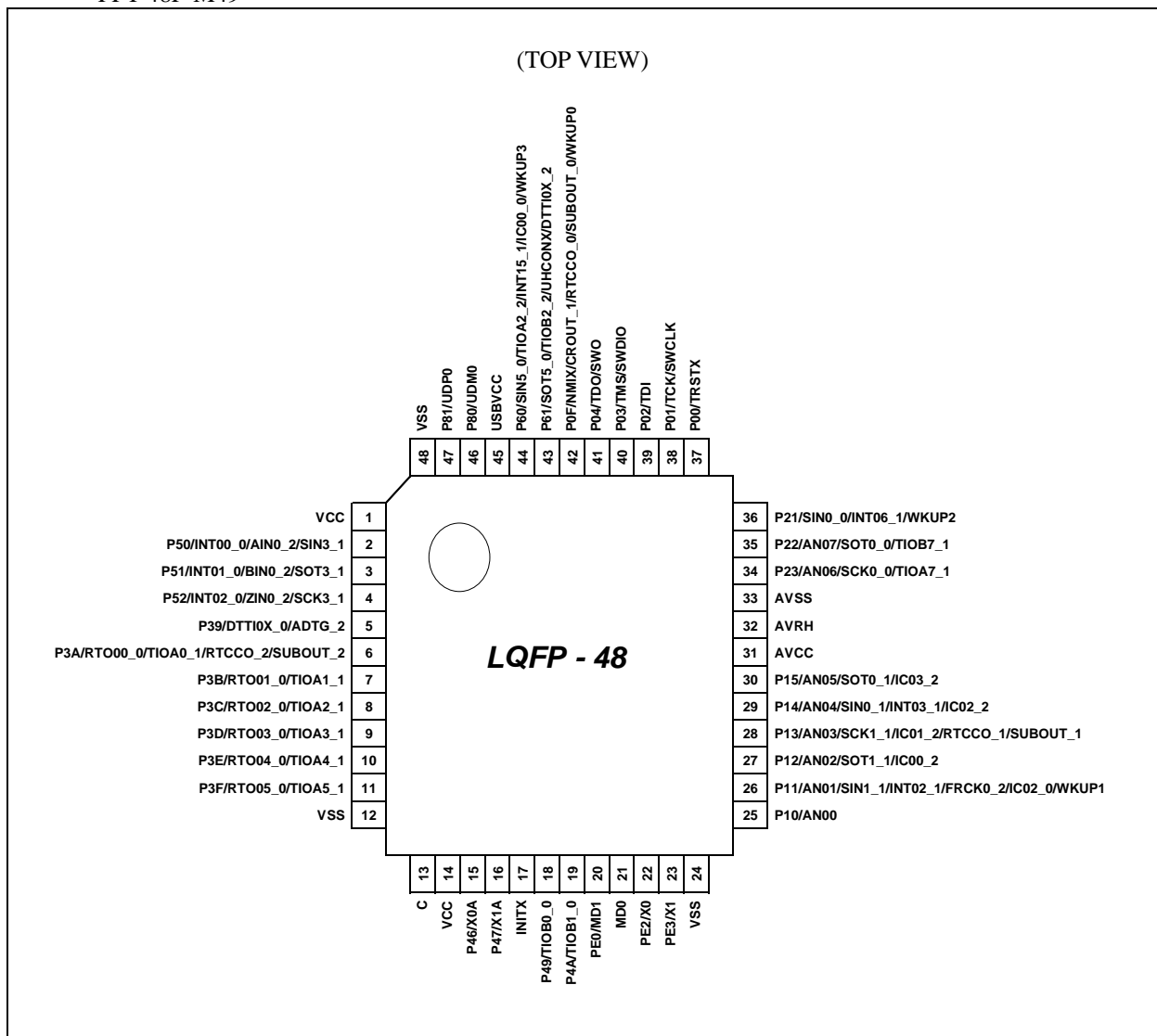
○：支持

(注意事项) 关于各个封装的详情，参考“■封装尺寸”。



■ 引脚配置图

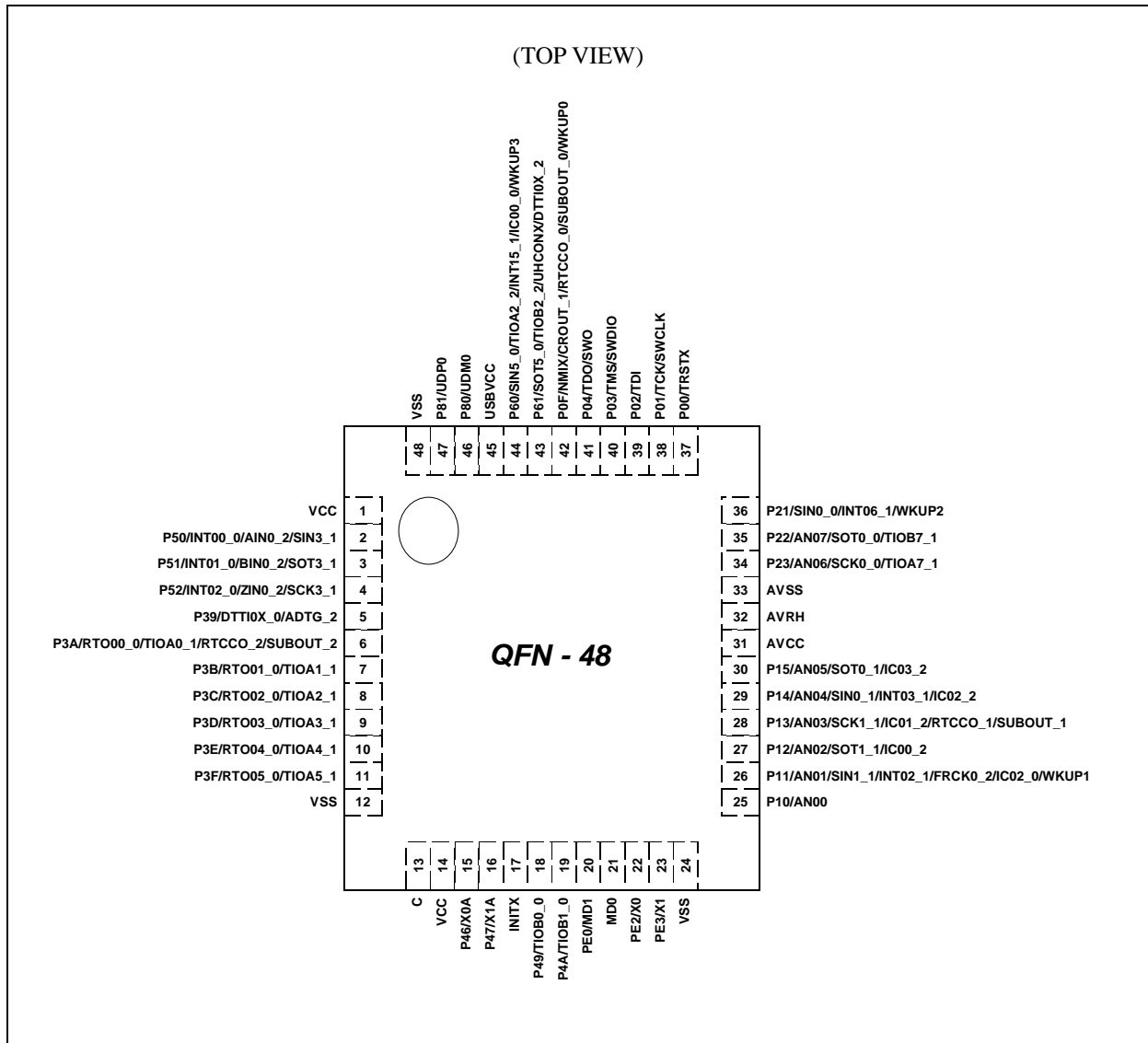
· FPT-48P-M49



<注意事项>

引脚名称(例如 XXX\_1, XXX\_2)中下划线("\_")后面的数字代表重定位端口号。  
 有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

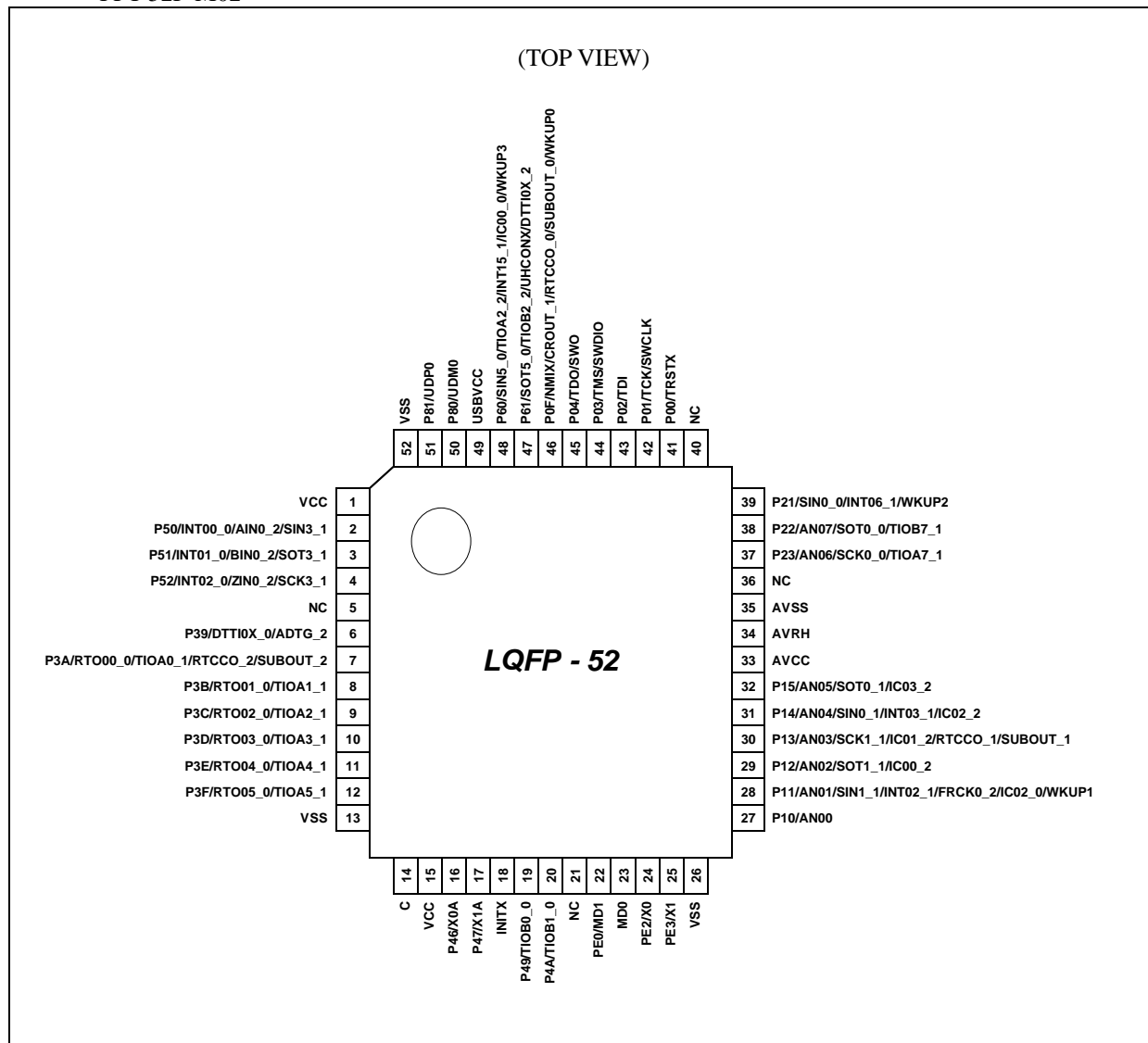
· LCC-48P-M73



**<注意事项>**

引脚名称(例如 XXX\_1, XXX\_2)中下划线("\_")后面的数字代表重定位端口号。  
 有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

• FPT-52P-M02



<注意事项>

引脚名称(例如 XXX\_1, XXX\_2)中下划线("\_")后面的数字代表重定位端口号。  
 有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

## ■ 引脚功能说明

引脚名称(例如 XXX\_1, XXX\_2)中下划线("\_")后面的数字代表重定位端口号。

有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

引脚号		引脚名称	I/O 电路类型	引脚状态类型
LQFP-48 QFN-48	LQFP-52			
1	1	VCC	-	
2	2	P50	I *	H
		INT00_0		
		AIN0_2		
		SIN3_1		
3	3	P51	I *	H
		INT01_0		
		BIN0_2		
		SOT3_1		
4	4	P52	I *	H
		INT02_0		
		ZIN0_2		
		SCK3_1		
-	5	NC	-	
5	6	P39	E	I
		DTTIOX_0		
		ADTG_2		
6	7	P3A	G	I
		RTO00_0		
		TIOA0_1		
		RTCCO_2		
7	8	SUBOUT_2	G	I
		P3B		
		RTO01_0		
		TIOA1_1		
8	9	P3C	G	I
		RTO02_0		
		TIOA2_1		
9	10	P3D	G	I
		RTO03_0		
		TIOA3_1		
10	11	P3E	G	I
		RTO04_0		
		TIOA4_1		
11	12	P3F	G	I
		RTO05_0		
		TIOA5_1		
12	13	VSS	-	

引脚号		引脚名称	I/O 电路类型	引脚状态类型
LQFP-48 QFN-48	LQFP-52			
13	14	C	-	
14	15	VCC	-	
15	16	P46	D	M
		X0A		
16	17	P47	D	N
		X1A		
17	18	INITX	B	C
18	19	P49	E	I
		TIOB0_0		
19	20	P4A	E	I
		TIOB1_0		
-	21	NC	-	
20	22	PE0	C	P
		MD1		
21	23	MD0	J	D
22	24	PE2	A	A
		X0		
23	25	PE3	A	B
		X1		
24	26	VSS	-	
25	27	P10	F	K
		AN00		
26	28	P11	F	F
		AN01		
		SIN1_1		
		INT02_1		
		FRCK0_2		
		IC02_0		
27	29	WKUP1	F	K
		P12		
		AN02		
		SOT1_1		
28	30	IC00_2	F	K
		P13		
		AN03		
		SCK1_1		
		IC01_2		
		RTCCO_1		
29	31	SUBOUT_1	F	L
		P14		
		AN04		
		SIN0_1		
		INT03_1		
		IC02_2		

引脚号		引脚名称	I/O 电路类型	引脚状态类型
LQFP-48 QFN-48	LQFP-52			
30	32	P15	F	K
		AN05		
		SOT0_1		
		IC03_2		
31	33	AVCC	-	
32	34	AVRH	-	
33	35	AVSS	-	
-	36	NC	-	
34	37	P23	F	K
		AN06		
		SCK0_0		
		TIOA7_1		
35	38	P22	F	K
		AN07		
		SOT0_0		
		TIOB7_1		
36	39	P21	E	G
		SIN0_0		
		INT06_1		
		WKUP2		
-	40	NC	-	
37	41	P00	E	E
		TRSTX		
38	42	P01	E	E
		TCK		
		SWCLK		
39	43	P02	E	E
		TDI		
40	44	P03	E	E
		TMS		
		SWDIO		
41	45	P04	E	E
		TDO		
		SWO		
42	46	P0F	E	J
		NMIX		
		CROUT_1		
		RTCCO_0		
		SUBOUT_0		
		WKUP0		
43	47	P61	E	I
		SOT5_0		
		TIOB2_2		
		UHCONX		
		DTTIOX_2		

引脚号		引脚名称	I/O 电路类型	引脚状态类型
LQFP-48 QFN-48	LQFP-52			
44	48	P60	I *	G
		SIN5_0		
		TIOA2_2		
		INT15_1		
		IC00_0		
		WKUP3		
45	49	USBVCC	-	
46	50	P80	H	O
		UDM0		
47	51	P81	H	O
		UDP0		
48	52	VSS	-	

\*: 耐 5V I/O

## ■ 信号说明

引脚名称(例如 XXX\_1, XXX\_2)中下划线("\_")后面的数字代表重定位端口号。  
 有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

模块	引脚名称	功能	引脚号	
			LQFP-48 QFN-48	LQFP-52
ADC	ADTG_2	A/D 转换器外部触发输入引脚	5	6
	AN00	A/D 转换器模拟输入引脚 ANxx 表示 ADC Ch.xx。	25	27
	AN01		26	28
	AN02		27	29
	AN03		28	30
	AN04		29	31
	AN05		30	32
	AN06		34	37
AN07	35		38	
基本定时器 0	TIOA0_1	基本定时器 ch.0 的 TIOA 引脚	6	7
	TIOB0_0	基本定时器 ch.0 的 TIOB 引脚	18	19
基本定时器 1	TIOA1_1	基本定时器 ch.1 的 TIOA 引脚	7	8
	TIOB1_0	基本定时器 ch.1 的 TIOB 引脚	19	20
基本定时器 2	TIOA2_1	基本定时器 ch.2 的 TIOA 引脚	8	9
	TIOA2_2		44	48
	TIOB2_2	基本定时器 ch.2 的 TIOB 引脚	43	47
基本定时器 3	TIOA3_1	基本定时器 ch.3 的 TIOA 引脚	9	10
基本定时器 4	TIOA4_1	基本定时器 ch.4 的 TIOA 引脚	10	11
基本定时器 5	TIOA5_1	基本定时器 ch.5 的 TIOA 引脚	11	12
基本定时器 7	TIOA7_1	基本定时器 ch.7 的 TIOA 引脚	34	37
	TIOB7_1	基本定时器 ch.7 的 TIOB 引脚	35	38
调试	SWCLK	串行线调试接口时钟输入引脚	38	42
	SWDIO	串行线调试接口数据 I/O 引脚	40	44
	SWO	串行线浏览器输出引脚	41	45
	TCK	J-TAG 测试时钟输入引脚	38	42
	TDI	J-TAG 测试数据输入引脚	39	43
	TDO	J-TAG 调试数据输出引脚	41	45
	TMS	J-TAG 测试模式状态 I/O 引脚	40	44
	TRSTX	J-TAG 测试复位输入引脚	37	41
外部中断	INT00_0	外部中断请求 00 的输入引脚	2	2
	INT01_0	外部中断请求 01 的输入引脚	3	3
	INT02_0	外部中断请求 02 的输入引脚	4	4
	INT02_1		26	28
	INT03_1	外部中断请求 03 的输入引脚	29	31
	INT06_1	外部中断请求 06 的输入引脚	36	39
	INT15_1	外部中断请求 15 的输入引脚	44	48
	NMIX	不可屏蔽中断输入引脚	42	46



模块	引脚名称	功能	引脚号	
			LQFP-48 QFN-48	LQFP-52
GPIO	P00	通用 I/O 口 0	37	41
	P01		38	42
	P02		39	43
	P03		40	44
	P04		41	45
	P0F		42	46
	P10	通用 I/O 口 1	25	27
	P11		26	28
	P12		27	29
	P13		28	30
	P14		29	31
	P15		30	32
	P21	通用 I/O 口 2	36	39
	P22		35	38
	P23		34	37
	P39	通用 I/O 口 3	5	6
	P3A		6	7
	P3B		7	8
	P3C		8	9
	P3D		9	10
	P3E		10	11
	P3F	通用 I/O 口 4	11	12
	P46		15	16
	P47		16	17
	P49		18	19
	P4A	19	20	
	P50	通用 I/O 口 5	2	2
	P51		3	3
	P52		4	4
	P60	通用 I/O 口 6	44	48
	P61		43	47
P80	通用 I/O 口 8	46	50	
P81		47	51	
PE0	通用 I/O 口 E	20	22	
PE2		22	24	
PE3		23	25	

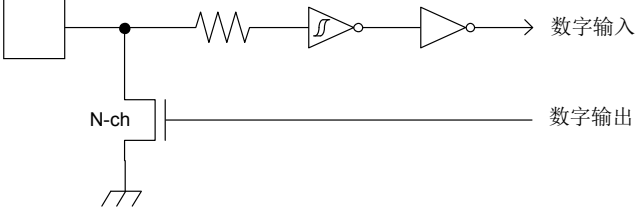
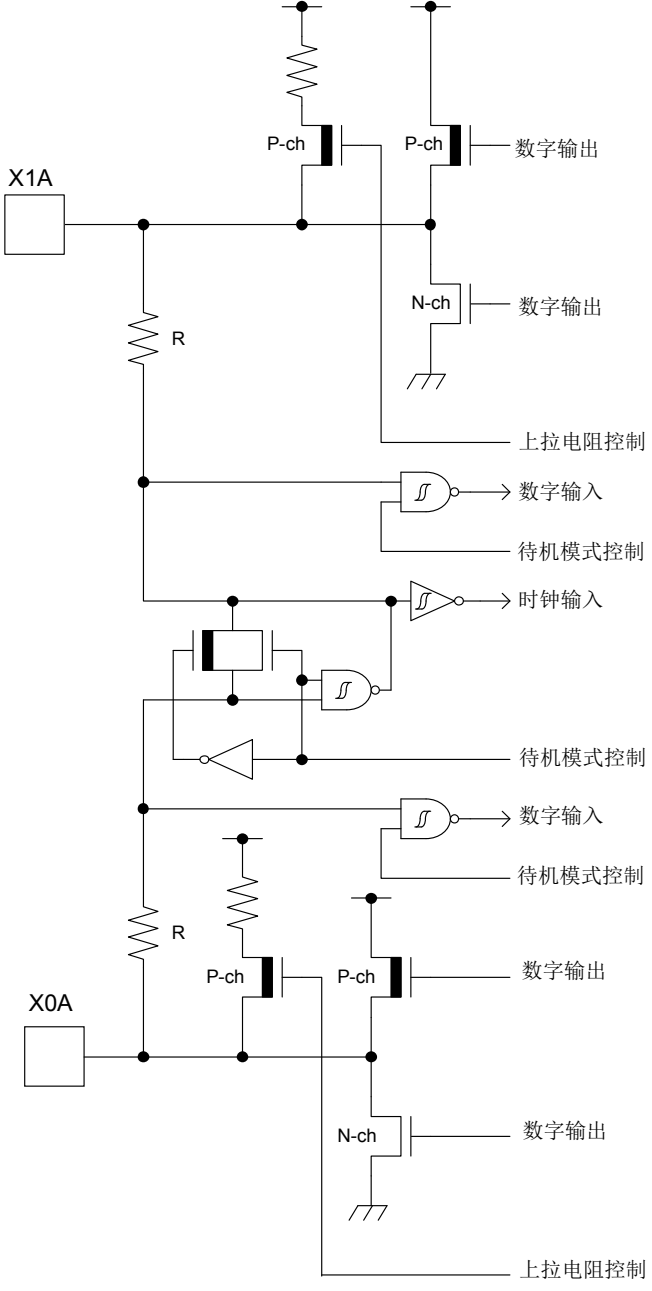
模块	引脚名称	功能	引脚号	
			LQFP-48 QFN-48	LQFP-52
多功能 串口 0	SIN0_0	多功能串口 ch.0 的输入引脚	36	39
	SIN0_1		29	31
	SOT0_0 (SDA0_0)	多功能串口 ch.0 的输出引脚 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3) 时,可用作 SOT0; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SDA0。	35	38
	SOT0_1 (SDA0_1)		30	32
SCK0_0 (SCL0_0)	多功能串口 ch.0 的时钟 I/O 引脚 充当 CSIO 引脚(工作模式 2) 时, 可用作 SCK0; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SCL0。	34	37	
多功能 串口 1	SIN1_1	多功能串口 ch.1 的输入引脚	26	28
	SOT1_1 (SDA1_1)	多功能串口 ch.1 的输出引脚 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3) 时,可用作 SOT1; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SDA1。	27	29
	SCK1_1 (SCL1_1)	多功能串口 ch.1 的时钟 I/O 引脚 充当 CSIO 引脚(工作模式 2) 时, 可用作 SCK1; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SCL1。	28	30
多功能 串口 3	SIN3_1	多功能串口 ch.3 的输入引脚	2	2
	SOT3_1 (SDA3_1)	多功能串口 ch.3 的输出引脚 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3) 时,可用作 SOT3; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SDA3。	3	3
	SCK3_1 (SCL3_1)	多功能串口 ch.3 的时钟 I/O 引脚 充当 CSIO 引脚(工作模式 2) 时, 可用作 SCK3; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SCL3。	4	4
多功能 串口 5	SIN5_0	多功能串口 ch.5 的输入引脚	44	48
	SOT5_0	多功能串口 ch.5 的输出引脚 充当 UART/LIN 引脚(工作模式 0, 1, 3) 时, 可用作 SOT5。	43	47

模块	引脚名称	功能	引脚号	
			LQFP-48 QFN-48	LQFP-52
多功能 定时器 0	DTTIOX_0	控制多功能定时器 0 的 RTO00 ~ RTO05 输出的波形发生器的输入信号	5	6
	DTTIOX_2		43	47
	FRCK0_2	16 位自由运行定时器 ch.0 外部时钟输入引脚	26	28
	IC00_0	多功能定时器 0 的 16 位输入捕捉输入引脚 ICxx 表示通道号。	44	48
	IC00_2		27	29
	IC01_2		28	30
	IC02_0		26	28
	IC02_2		29	31
	IC03_2	30	32	
	RTO00_0 (PPG00_0)	多功能定时器 0 的波形发生器输出引脚 PPG0 输出模式下使用时, 可用作 PPG00。	6	7
	RTO01_0 (PPG00_0)	多功能定时器 0 的波形发生器输出引脚 PPG0 输出模式下使用时, 可用作 PPG00。	7	8
	RTO02_0 (PPG02_0)	多功能定时器 0 的波形发生器输出引脚 PPG0 输出模式下使用时, 可用作 PPG02。	8	9
	RTO03_0 (PPG02_0)	多功能定时器 0 的波形发生器输出引脚 PPG0 输出模式下使用时, 可用作 PPG02。	9	10
RTO04_0 (PPG04_0)	多功能定时器 0 的波形发生器输出引脚 PPG0 输出模式下使用时, 可用作 PPG04。	10	11	
RTO05_0 (PPG04_0)	多功能定时器 0 的波形发生器输出引脚 PPG0 输出模式下使用时, 可用作 PPG04。	11	12	
Quad 计数器 0	AIN0_2	QPRC ch.0 的 AIN 输入引脚	2	2
	BIN0_2	QPRC ch.0 的 BIN 输入引脚	3	3
	ZIN0_2	QPRC ch.0 的 ZIN 输入引脚	4	4
实时时钟	RTCCO_0	实时时钟 0.5 秒脉冲输出引脚	42	46
	RTCCO_1		28	30
	RTCCO_2		6	7
	SUBOUT_0	副时钟输出引脚	42	46
	SUBOUT_1		28	30
	SUBOUT_2		6	7
低功耗模式	WKUP0	深层待机模式复归信号输入引脚 0	42	46
	WKUP1	深层待机模式复归信号输入引脚 1	26	28
	WKUP2	深层待机模式复归信号输入引脚 2	36	39
	WKUP3	深层待机模式复归信号输入引脚 3	44	48
USB	UDM0	USB ch.0 功能/主机的 D- 引脚	46	50
	UDP0	USB ch.0 功能/主机的 D+ 引脚	47	51
	UHCONX	USB 外部上拉控制引脚	43	47

模块	引脚名称	功能	引脚号	
			LQFP-48 QFN-48	LQFP-52
RESET	INITX	外部复位输入。 INITX=L 时, 复位有效。	17	18
Mode	MD0	模式 0 引脚 正常工作时, 须输入 MD0=L。串行写入 闪存时, 请输入 MD0=H。	21	23
	MD1	模式 1 引脚 串行写入闪存编程时, 请输入 MD1=L。	20	22
POWER	VCC	电源引脚	1	1
	VCC	电源引脚	14	15
	USBVCC	USB I/O 的 3.3V 电源供给端口	45	49
GND	VSS	GND 引脚	12	13
	VSS	GND 引脚	24	26
	VSS	GND 引脚	48	52
CLOCK	X0	主时钟(振荡)输入引脚	22	24
	X0A	副时钟(振荡)输入引脚	15	16
	X1	主时钟(振荡) I/O 引脚	23	25
	X1A	副时钟(振荡) I/O 引脚	16	17
	CROUT_1	高速内置 CR 振荡时钟输出口	42	46
ADC POWER	AVCC	A/D 转换器的模拟电源引脚	31	33
	AVRH	A/D 转换器的模拟基准电压输入引脚	32	34
ADC GND	AVSS	A/D 转换器的 GND 引脚	33	35
C 引脚	C	电源稳定电容引脚	13	14
NC 引脚	NC	NC 引脚 须悬空处理。	-	5
	NC	NC 引脚 须悬空处理。	-	21
	NC	NC 引脚 须悬空处理。	-	36
	NC	NC 引脚 须悬空处理。	-	40

■ I/O 电路类型

类型	电路	备注
A	<p>The diagram shows two crystal oscillators, X1 and X0. X1 is connected to a pull-up resistor R and a P-ch MOSFET. X0 is connected to a pull-up resistor R and a P-ch MOSFET. The circuit includes digital outputs (P-ch and N-ch), digital inputs, and control signals for standby mode and clock input.</p>	<p>可切换主振荡/GPIO</p> <p>选择主振荡功能时</p> <ul style="list-style-type: none"> <li>• 振荡反馈电阻: 约 1MΩ</li> <li>• 带待机控制</li> </ul> <p>选择 GPIO 功能时</p> <ul style="list-style-type: none"> <li>• CMOS 电平输出</li> <li>• CMOS 电平迟滞输入</li> <li>• 带上拉电阻控制</li> <li>• 带待机控制</li> <li>• 上拉电阻: 约 50kΩ</li> <li>• <math>I_{OH} = -4mA, I_{OL} = 4mA</math></li> </ul>
B	<p>The diagram shows a digital input pin connected to a pull-up resistor. The signal is then inverted and sent to a digital output pin.</p>	<ul style="list-style-type: none"> <li>• CMOS 电平迟滞输入</li> <li>• 上拉电阻: 约 50kΩ</li> </ul>

类型	电路	备注
C	 <p>数字输入</p> <p>数字输出</p> <p>N-ch</p>	<ul style="list-style-type: none"> <li>• 开漏输出</li> <li>• CMOS 电平迟滞输入</li> </ul>
D	 <p>数字输出</p> <p>数字输出</p> <p>数字输出</p> <p>上拉电阻控制</p> <p>数字输入</p> <p>待机模式控制</p> <p>时钟输入</p> <p>待机模式控制</p> <p>数字输入</p> <p>待机模式控制</p> <p>数字输出</p> <p>数字输出</p> <p>上拉电阻控制</p> <p>X1A</p> <p>R</p> <p>P-ch</p> <p>P-ch</p> <p>N-ch</p> <p>X0A</p> <p>R</p> <p>P-ch</p> <p>P-ch</p> <p>N-ch</p>	<p>可切换副振荡/GPIO</p> <p>选择副振荡功能时</p> <ul style="list-style-type: none"> <li>• 振荡反馈电阻: 约 5MΩ</li> <li>• 带待机控制</li> </ul> <p>选择 GPIO 功能时</p> <ul style="list-style-type: none"> <li>• CMOS 电平输出</li> <li>• CMOS 电平迟滞输入</li> <li>• 带上拉电阻控制</li> <li>• 带待机控制</li> <li>• 上拉电阻: 约 50kΩ</li> <li>• <math>I_{OH} = -4mA, I_{OL} = 4mA</math></li> </ul>

类型	电路	备注
E	<p>The diagram for type E shows a CMOS output stage. A pull-up resistor R is connected to the output node. The output node is driven by a P-ch transistor (pull-up) and an N-ch transistor (pull-down). The P-ch transistor is controlled by a '数字输出' (Digital Output) signal. The N-ch transistor is controlled by another '数字输出' (Digital Output) signal. The pull-up resistor R is controlled by an '上拉电阻控制' (Pull-up Resistor Control) signal. The digital input is controlled by a '数字输入' (Digital Input) signal, which is also connected to a '待机模式控制' (Standby Mode Control) signal through an AND gate.</p>	<ul style="list-style-type: none"> <li>• CMOS 电平输出</li> <li>• CMOS 电平迟滞输入</li> <li>• 带上拉电阻控制</li> <li>• 带待机控制</li> <li>• 上拉电阻: 约 50kΩ</li> <li>• <math>I_{OH} = -4mA, I_{OL} = 4mA</math></li> </ul>
F	<p>The diagram for type F shows a CMOS output stage similar to type E. It includes a pull-up resistor R, a P-ch transistor, and an N-ch transistor. The P-ch transistor is controlled by a '数字输出' (Digital Output) signal. The N-ch transistor is controlled by another '数字输出' (Digital Output) signal. The pull-up resistor R is controlled by an '上拉电阻控制' (Pull-up Resistor Control) signal. The digital input is controlled by a '数字输入' (Digital Input) signal, which is also connected to a '待机模式控制' (Standby Mode Control) signal through an AND gate. Additionally, there is an '模拟输入' (Analog Input) signal connected to a buffer and a switch controlled by an '输入控制' (Input Control) signal.</p>	<ul style="list-style-type: none"> <li>• CMOS 电平输出</li> <li>• CMOS 电平迟滞输入</li> <li>• 带输入控制</li> <li>• 模拟输入</li> <li>• 带上拉电阻控制</li> <li>• 带待机控制</li> <li>• 上拉电阻: 约 50kΩ</li> <li>• <math>I_{OH} = -4mA, I_{OL} = 4mA</math></li> </ul>

类型	电路	备注
G	<p>该电路展示了 CMOS 电平的输出和输入。它包含一个 P 沟道 MOSFET (P-ch) 和一个 N 沟道 MOSFET (N-ch)。P 沟道 MOSFET 的源极连接到 V<sub>CC</sub>，漏极连接到输出节点。N 沟道 MOSFET 的源极连接到地，漏极也连接到输出节点。一个电阻 R 连接在 V<sub>CC</sub> 和输出节点之间，作为上拉电阻。控制信号包括：数字输入（通过反相器连接到 N 沟道 MOSFET 的栅极）、待机模式控制（通过反相器连接到 P 沟道 MOSFET 的栅极）、上拉电阻控制（通过反相器连接到电阻 R 的 V<sub>CC</sub> 端）以及两个数字输出信号。</p>	<ul style="list-style-type: none"> <li>• CMOS 电平输出</li> <li>• CMOS 电平迟滞输入</li> <li>• 带上拉电阻控制</li> <li>• 带待机控制</li> <li>• 上拉电阻: 约 50kΩ</li> <li>• <math>I_{OH} = -12mA, I_{OL} = 12mA</math></li> </ul>
H	<p>该电路展示了可切换的 USB I/O/GPIO 功能。它包含多个反相器、缓冲器、AND 门和 OR 门。控制信号包括：UDP/P81、差分、UDM/P80。输出信号包括：GPIO 数字输出、GPIO 数字输入/输出方向、GPIO 数字输入、GPIO 数字输入电路控制、UDP 输出、USB 高速/低速控制、UDP 输入、差分输入、USB/GPIO 选择、UDM 输入、UDM 输出、USB 数字输入/输出方向、GPIO 数字输入、GPIO 数字输入/输出方向、GPIO 数字输入、GPIO 数字输入电路控制。</p>	<p>可切换 USB I/O/GPIO</p> <p>选择 USB I/O 功能时</p> <ul style="list-style-type: none"> <li>• 控制高速和低速</li> </ul> <p>选择 GPIO 功能时</p> <ul style="list-style-type: none"> <li>• CMOS 电平输出</li> <li>• CMOS 电平迟滞输入</li> <li>• 带待机控制</li> <li>• <math>I_{OH} = -20.5mA, I_{OL} = 18.5mA</math></li> </ul>



类型	电路	备注
I	<p>The diagram shows a CMOS output stage. A pull-up resistor R is connected to the output node. The output node is connected to the gates of a P-channel MOSFET (P-ch) and an N-channel MOSFET (N-ch). The P-ch MOSFET's source is connected to VDD, and its drain is connected to the output node. The N-ch MOSFET's source is connected to ground, and its drain is connected to the output node. The output node is also connected to a digital output terminal. A control input labeled '数字输入' (Digital Input) is connected to the gates of both transistors. A control input labeled '待机模式控制' (Standby Mode Control) is connected to the gates of both transistors. A control input labeled '上拉电阻控制' (Pull-up Resistor Control) is connected to the pull-up resistor R. A control input labeled '数字输出' (Digital Output) is connected to the gates of both transistors.</p>	<ul style="list-style-type: none"> <li>• CMOS 电平输出</li> <li>• CMOS 电平迟滞输入</li> <li>• 耐 5V</li> <li>• 带上拉电阻控制</li> <li>• 带待机控制</li> <li>• 上拉电阻: 约 50kΩ</li> <li>• <math>I_{OH} = -4mA, I_{OL} = 4mA</math></li> <li>• 可控制 PZR 寄存器</li> </ul>
J	<p>The diagram shows a CMOS input stage. A pull-up resistor is connected to the input node. The input node is connected to the input of a first inverter. The output of the first inverter is connected to the input of a second inverter. The output of the second inverter is connected to a mode input terminal labeled '模式输入' (Mode Input).</p>	<p>CMOS 电平迟滞输入</p>

## ■ 芯片处理注意事项

半导体芯片存在一定的故障发生概率。半导体芯片的故障率很大程度受使用条件(电路条件、环境条件等)的影响。

使用半导体芯片时遵守下列注意事项，可降低故障概率并提高产品性能。

### 1. 产品设计注意事项

本部分介绍使用半导体芯片进行电子产品设计时的注意事项。

#### · 遵守最大绝对额定值

施加超过最大绝对额定值的负荷(电压、电流、温度等)可能会永久损坏半导体芯片。因此，注意不可超过这些额定值。

#### · 遵守推荐工作条件

遵守推荐工作条件可以保证半导体芯片的正常动作。请保证电气特性的额定值符合这些条件范围。请始终在符合推荐工作条件的状态下使用。不符合条件的使用可能会影响芯片的可靠性并导致芯片故障。

富士通半导体不保证“数据手册”上没有记载的项目、使用条件和逻辑组合的使用。用户在“数据手册”未记载的条件下使用时，请事先与销售部门联系。

#### · 引脚的处理与保护

处理连接半导体芯片上的电源引脚及 I/O 引脚时，须注意以下事项。

##### (1) 过电压、过电流的防止

各引脚上施加超过最大额定值的电压、电流会损伤芯片内部，在极端情况下甚至会永久损坏芯片。设计产品时，请防止产生过电压、过电流。

##### (2) 输出引脚的保护

电源引脚或者其它输出引脚短路或连接大电容负载会产生大的漏电流。长时间保持这种连接状态会损伤芯片，因此不要进行此类连接。

##### (3) 未用输入引脚的保护

在悬空状态下使用高阻抗电平的输入引脚时，可能会引起操作不稳定。请使用合适的电阻连接到电源引脚或接地引脚。

#### · 闩锁

半导体芯片根据基板上的 P 型区和 N 型区进行配置。外部异常电压增加时，内部寄生 PNP 接合点(晶闸管构造)导通后，增加的数百 mA 的大电流可能会流至电源引脚。这就是闩锁。这一现象会降低芯片的可靠性，还有引起发热、冒烟和起火的危险。为避免以上现象发生，应该注意以下几点。

(1) 不可在引脚上添加超过最大额定的电压。注意异常噪声和电涌等。

(2) 考虑上电的先后顺序，不要流入异常电流。

- **遵守安全法规和标准**  
世界各国提供了诸如安全和地磁干扰等规章制度和标准。客户进行产品设计时请遵守这些规章制度和标准。
- **故障及安全设计**  
半导体芯片存在一定的故障发生概率。请用户对芯片和设备采取冗余设计、防火设计、防止过电流设计、防误动作设计等安全设计措施，保证即使在设备发生故障的情况下，也不会造成人身伤害、火灾和社会损失。
- **芯片使用注意事项**  
本手册介绍的产品旨在为一般用途而设计、开发和制造，包括一般的工业使用、通常办公使用、个人使用和家庭使用；而非用于以下领域的设计、开发和制造：(1) 使用中伴随着致命风险或危险，若不加以特别高度安全保障，有可能导致对公众产生危害，甚至直接造成死亡、人身伤害、严重物质损失或其他损失(即核设施的核反应控制、航空飞行控制、空中交通管制、公共交通控制、大众交通运行控制系统、医用维系生命系统、核武器系统的导弹发射控制)，(2) 需要极高可靠性的应用领域(比如海底中转器和人造卫星)。属于在上述领域内使用该产品而引起的用户和/或第三方的任何索赔或损失，本公司不承担任何责任。

## 2. 封装注意事项

封装分为直插型和表贴型。对这两类封装，仅符合本公司推荐工作条件的封装方可保障焊接耐热性等品质。关于封装详情，请咨询本公司的销售部。

- **直插型**  
在印刷电路板上直接进行直插型封装有两种方法：在印刷电路板上直接焊接和使用插座进行封装。  
直接在印刷电路板上焊接：铅插入印刷电路板的通孔后，一般使用喷流焊锡法(波峰焊接方法)。这种情况下进行焊接时，超过最大保存温度额定的热应力导入到铅上。封装请符合本公司推荐的工作条件。  
使用插座封装方法：插座接点的表面处理和 IC 的铅表面处理不同时，长时间后会发生接触不良的现象。建议用户封装前确认此时的插座接点的表面处理和 IC 铅表面处理的状态。
- **表贴型**  
与直插型封装比较，表贴型封装的铅细薄，容易弯曲变形。封装时可能发生开路(引脚增加、引脚间距狭窄、铅变形引起)和短路(桥焊引起)，请采用合适的封装技术。  
本公司推荐焊接方法的产品封装条件实施等级分类。用户请按照本公司推荐的等级分类进行封装。
- **无铅封装**  
使用 Sn-Pb 共晶焊料进行 BGA 封装的 Sn-Ag-Cu 球产品封装时，需注意因使用状况引起的接合强度变低现象。

- **半导体芯片的保管**

塑料封装使用树脂材料，在自然环境下放置容易吸湿。吸湿后的封装在封装时需要进行加热，可能会产生由于界面剥离而降低耐湿性或者封装产生裂痕的现象。请注意以下几点。

- (1) 保管场所的气温急剧变化会引起产品上面水分结露。应避免在此类环境下保管产品。请在温度变化低的场所保管产品。
- (2) 推荐使用干燥箱保管产品。保管时相对湿度 70%RH 以下，温度 5°C ~ 30°C。干燥的封装开封时，推荐湿度为 40% ~ 70% RH。
- (3) 富士通的半导体芯片使用防潮性高的铝质网状包装袋，并使用硅胶作为干燥剂。半导体芯片放入铝质网袋密封保管。
- (4) 避免在腐蚀性气体充溢和灰尘弥漫的场所保管产品。

- **烘烤**

吸湿后的封装通过烘烤(加热干燥)可进行除湿。烘烤时，请在富士通推荐的条件下进行。

条件:125°C/24 小时

- **静电**

静电容易破坏半导体芯片，请注意以下几点。

- (1) 工作环境的相对湿度: 40% ~ 70% RH。  
必要时考虑使用除静电装置(离子发生器)。
- (2) 使用的传输带、沾锡槽、焊烙铁及周围附加设备接地。
- (3) 为防止人体静电，可导致高电阻 (1 MΩ 左右)的戒指或手镯应放置地线保持接地状态，着导电性好的衣服鞋子，床上铺设导电垫，这些措施可使带电电荷保持在最小限度。
- (4) 请将夹具及计量类仪表仪器接地或者进行防静电处理。
- (5) 基板组装完毕进行收纳时，避免使用发泡胶等容易带电的材料。

### 3. 使用环境注意事项

半导体芯片的可靠性依赖于前述的周围温度及环境条件。使用时请注意以下几点。

(1) 湿度环境

长期在高湿度环境下使用可引起芯片以及 PCB 板的漏电等问题。如果预料到芯片会放置到高湿度环境，请考虑进行防潮处理。

(2) 静电放电

半导体芯片靠近高压带电物体时，可能因放电产生误动作。  
这种情况下请进行防静电等处理以防产生放电。

(3) 腐蚀性气体、尘埃、油

在腐蚀性气雾、大气尘埃和油附着的状态下使用芯片，引起的化学反应可能对芯片产生不良影响。  
在这样的环境下使用时，请采取预防措施。

(4) 放射线及宇宙射线

一般芯片设计时并不可暴露于有放射线和宇宙射线的环境。因此，若要在这样的环境下使用，请做好防护。

(5) 冒烟及起火

模质树脂型的芯片具有可燃性，因此注意不可以靠近易燃物。芯片冒烟或起火时可能产生有毒气体。

其它特殊环境下使用富士通产品时，请咨询富士通销售部门。

请至下列 URL 查找最新产品处理注意事项。

<http://edevice.fujitsu.com/fj/handling-e.pdf>

## ■ 芯片使用注意事项

### · 关于电源引脚

若产品有多个 VCC, VSS 引脚, 为防止芯片设计时因闩锁等产生误动作, 可把芯片内同一电位上的引脚相互连接; 为防止因额外的辐射或者地线的上升致使选通信号发生误动作, 请务必把这些引脚与外部电源或地线连接, 以符合总输出电流的额定。

另外, 使用尽可能低的电阻连接电流供应源和本芯片的各电源引脚及 GND 引脚。此外, 推荐在本芯片附近各电源引脚和 GND 引脚之间连接一个约 0.1  $\mu\text{F}$  的陶瓷电容器作为旁路电容。

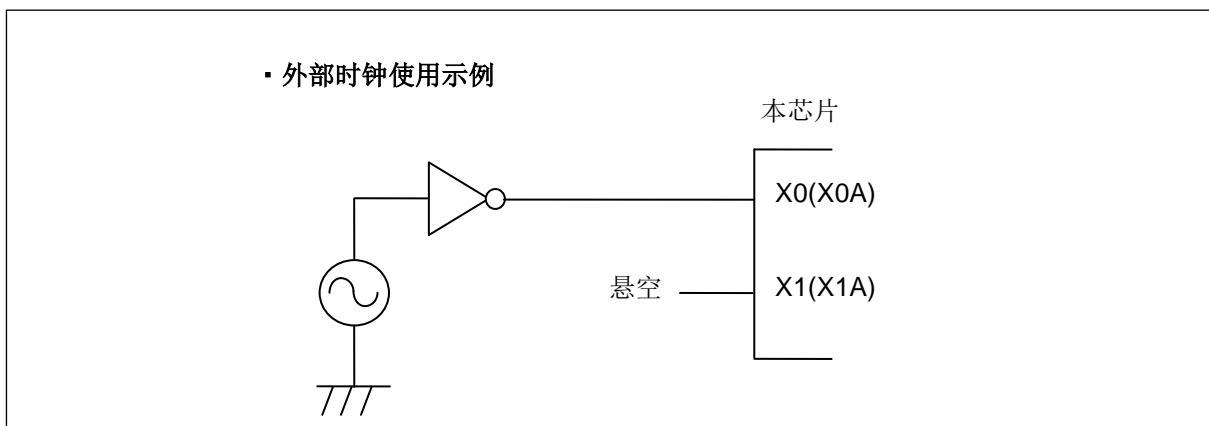
### · 晶振电路

X0/X1, X0A/X1A 引脚附近的噪声可导致芯片出现误动作。在设计印刷电路板布线时, X0/X1 引脚、X0A/X1A 引脚、晶振及至地线的旁路电容的距离要尽可能的近。

强烈建议设计时地线应环绕 X0/X1, X0A/X1A 引脚, 这样印刷电路板才能够稳定工作。

### · 外部时钟使用注意事项

使用外部时钟时, 仅驱动 X0 和 X0A 引脚, 悬空 X1 和 X1A 引脚。

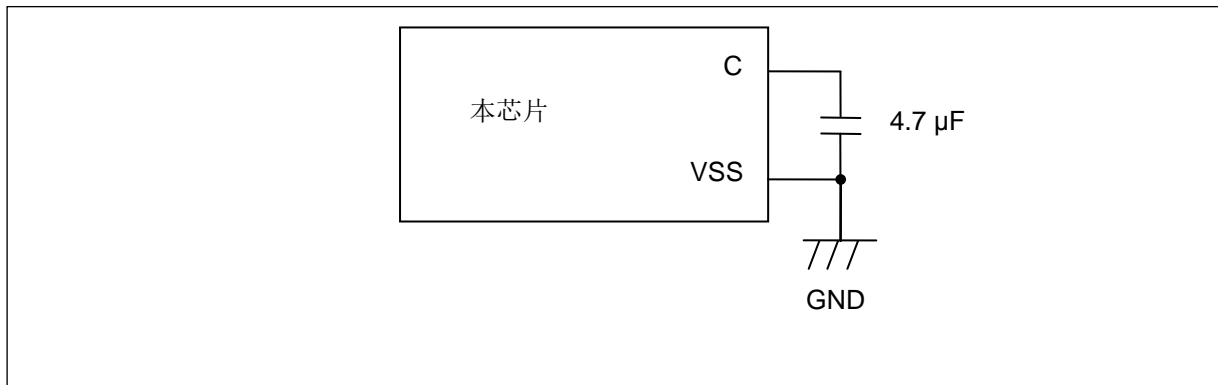


### · 多功能串行引脚用作 I<sup>2</sup>C 引脚时的注意事项

如果多功能串行引脚用作 I<sup>2</sup>C 引脚, 数字输出 P-ch 晶体管始终处于禁止状态。但是, I<sup>2</sup>C 引脚需要如其它引脚一样保持电气特性, 断电后无需与外部 I<sup>2</sup>C 总线系统连接。

- **C 引脚**

本系列内置调节器，C 引脚始终连接 4.7  $\mu\text{F}$  左右的旁路电容供调节器使用。



- **模式引脚(MD0)**

模式引脚(MD0)直接与 VCC 引脚/VSS 引脚连接。为防止模式引脚电平变化及重写闪存数据引起上拉/下拉或者并防止芯片因噪声而意外进入测试模式，设计电路板时上拉或下拉使用的电阻值尽量小一些，尽可能地缩短模式引脚到 VCC 引脚/VSS 引脚的距离，最好用低阻抗连结。

- **关于 NC 引脚**

悬空 NC 引脚。

- **上电时的注意事项**

同时开关电源或按照以下顺序开关电源。

即使不使用 A/D 转换器时，也请按照 AVCC = VCC 电平，AVSS = VSS 电平连接。

上电时 : VCC  $\rightarrow$  USBVCC

VCC  $\rightarrow$  AVCC  $\rightarrow$  AVRH

断电时 : USBVCC  $\rightarrow$  VCC

AVRH  $\rightarrow$  AVCC  $\rightarrow$  VCC

- **串行通信**

串行通信时受噪声或其他因素影响可能接收到不正确的数据。因此，请设计能降噪的电路板。

考虑到受噪声影响而接收到不正确的数据，应在数据末尾添加数据校验等错误检测措施。检测出错误后，重新发送数据。

- **不同容量的存储器产品间及 Flash 产品和 MASK 产品的特性差异**

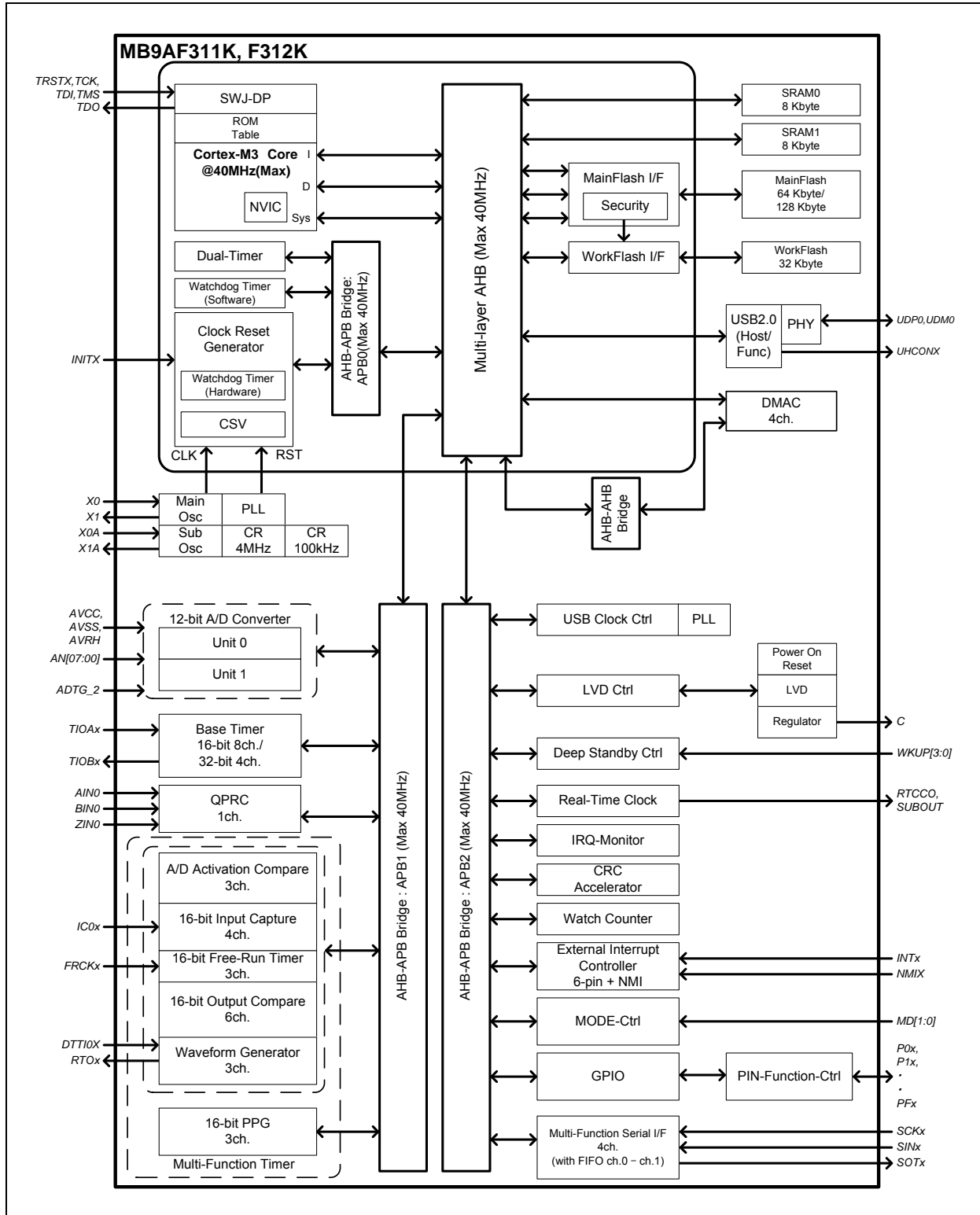
因为芯片布设和存储器构造的差异，不同容量的存储器产品间及 Flash 产品和 MASK 产品的电气特性(功耗、ESD、闩锁、噪声特性、振荡特性等)也不同。

用户要切换到同一系列的其它产品时，须评估其电气特性。

- **耐 5V I/O 的上拉功能**

使用耐 5V I/O 的上拉功能时，切勿输入超过 VCC 电压的信号。

## ■ 框图



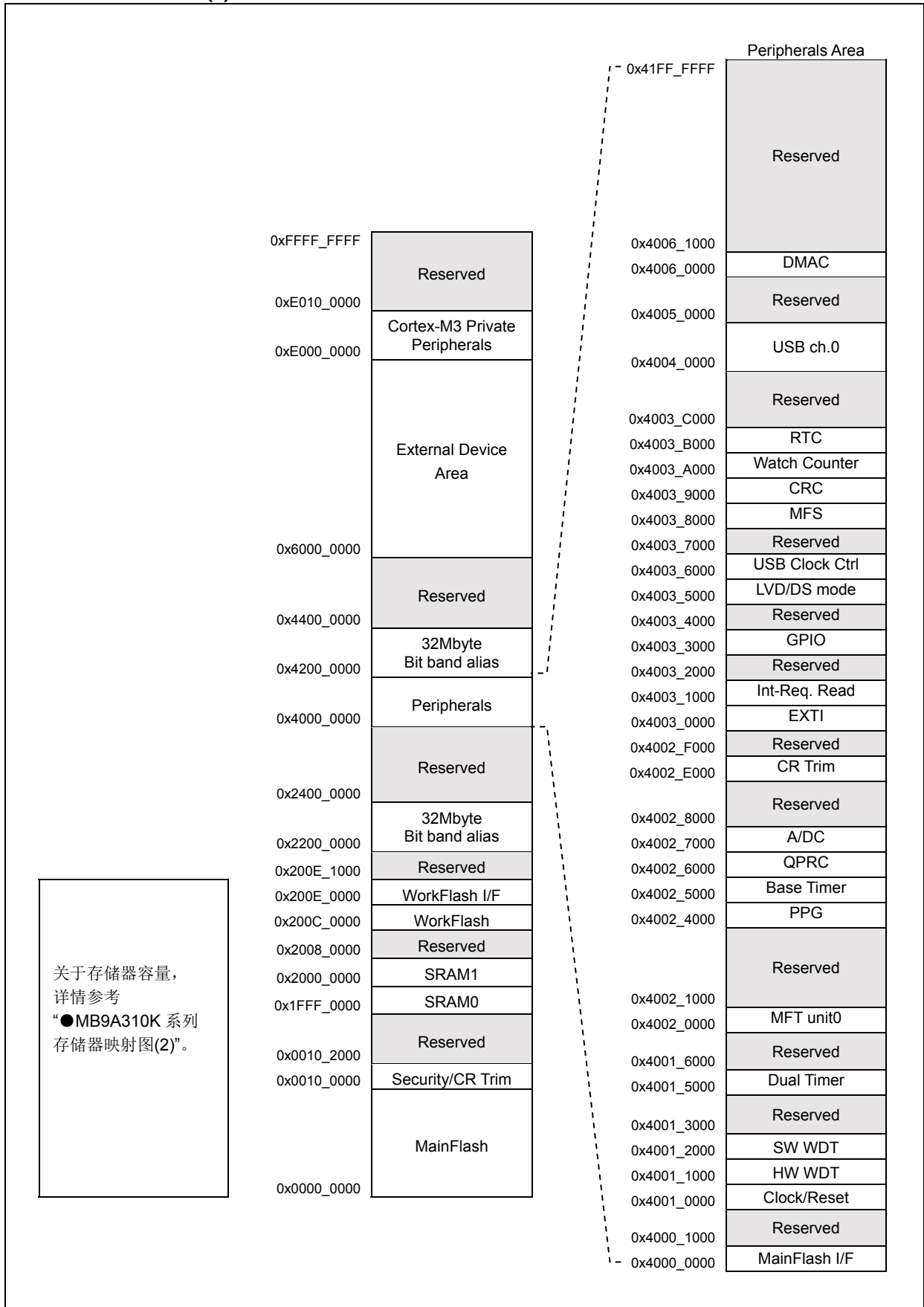


■ 存储器容量

关于存储器容量，详情参照“■产品阵容”中的“●存储器容量”。

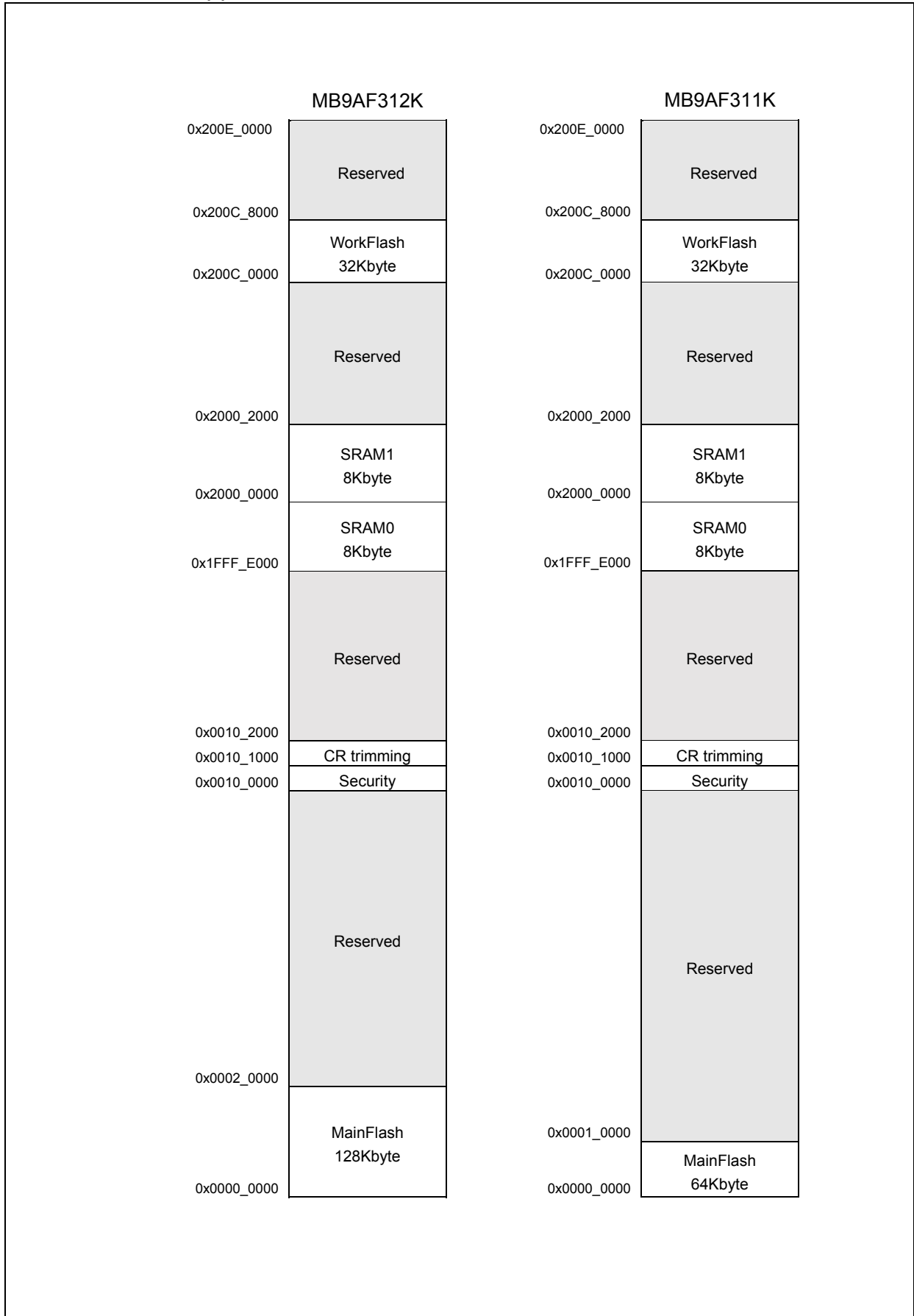
## ■ 存储器映射

· 存储器映射图 (1)



关于存储器容量，  
详情参考  
“●MB9A310K 系列  
存储器映射图(2)”。

· 存储器映射图 (2)



· 外设功能地址映射

起始地址	末尾地址	总线	外设功能
0x4000_0000	0x4000_0FFF	AHB	MainFlash I/F 寄存器
0x4000_1000	0x4000_FFFF		保留
0x4001_0000	0x4001_0FFF	APB0	时钟复位控制
0x4001_1000	0x4001_1FFF		硬件监视定时器
0x4001_2000	0x4001_2FFF		软件监视定时器
0x4001_3000	0x4001_4FFF		保留
0x4001_5000	0x4001_5FFF		双定时器
0x4001_6000	0x4001_FFFF		保留
0x4002_0000	0x4002_0FFF		APB1
0x4002_1000	0x4002_3FFF	保留	
0x4002_4000	0x4002_4FFF	PPG	
0x4002_5000	0x4002_5FFF	基本定时器	
0x4002_6000	0x4002_6FFF	Quad 计数器(QPRC)	
0x4002_7000	0x4002_7FFF	A/D 转换器	
0x4002_8000	0x4002_DFFF	保留	
0x4002_E000	0x4002_EFFF	内置 CR 调节	
0x4002_F000	0x4002_FFFF	保留	
0x4003_0000	0x4003_0FFF	APB2	
0x4003_1000	0x4003_1FFF		中断源确认寄存器
0x4003_2000	0x4003_2FFF		保留
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		保留
0x4003_5000	0x4003_57FF		低压检测
0x4003_5800	0x4003_5FFF		深层待机控制部分
0x4003_6000	0x4003_6FFF		USB 时钟生成电路
0x4003_7000	0x4003_7FFF		保留
0x4003_8000	0x4003_8FFF		多功能串口
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		计时计数器
0x4003_B000	0x4003_BFFF		实时时钟
0x4003_C000	0x4003_FFFF		保留
0x4004_0000	0x4004_FFFF	AHB	USB ch.0
0x4005_0000	0x4005_FFFF		保留
0x4006_0000	0x4006_0FFF		DMAC 寄存器
0x4006_1000	0x41FF_FFFF		保留
0x200E_0000	0x200E_FFFF		WorkFlash I/F 寄存器

## ■ 各 CPU 状态下的引脚状态

引脚状态术语释义如下。

- **INITX=0**  
INITX 引脚为"L"电平期间。
- **INITX=1**  
INITX 引脚为"H"电平期间。
- **SPL=0**  
待机模式控制寄存器(STB\_CTL)的待机引脚电平设定位(SPL)清"0"的状态。
- **SPL=1**  
待机模式控制寄存器(STB\_CTL)的待机引脚电平设定位(SPL)置"1"的状态。
- **输入使能**  
输入功能可使用的状态。
- **内部输入固定在"0"**  
输入功能不可使用的状态。内部输入固定在"L"。
- **Hi-Z**  
将输出驱动用晶体管置于驱动禁止状态、引脚置于 Hi-Z 状态。
- **设定禁止**  
不可设定。
- **保持即前状态**  
保持转换到本模式前的状态。  
如果内置的外设功能正在运行，则遵从该外设功能。  
用作端口时，保持该状态。
- **模拟输入使能**  
允许模拟输入。
- **选择 GPIO**  
深层待机模式下，切换到通用 I/O 口。

· 引脚状态一览表

引脚状态类型	功能组名称	上电复位/低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式/休眠模式状态	定时器模式/RTC 模式/停止模式状态		深层待机 RTC 模式/深层待机停止模式状态		深层待机模式回归即后状态
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
A	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z / 内部输入固定在"0"	保持即前状态	Hi-Z / 内部输入固定在"0"	保持即前状态
	主晶振输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
B	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z / 内部输入固定在"0"	保持即前状态	Hi-Z / 内部输入固定在"0"	保持即前状态
	主晶振输出引脚	Hi-Z / 内部输入固定在"0"或输入使能	Hi-Z / 内部输入固定在"0"	Hi-Z / 内部输入固定在"0"	保持即前状态	保持即前状态/振荡停止时*1 Hi-Z / 内部输入固定在"0"	保持即前状态/振荡停止时*1 Hi-Z / 内部输入固定在"0"	保持即前状态/振荡停止时*1 Hi-Z / 内部输入固定在"0"	保持即前状态/振荡停止时*1 Hi-Z / 内部输入固定在"0"	保持即前状态/振荡停止时*1 Hi-Z / 内部输入固定在"0"
C	INITX 输入引脚	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能
D	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
E	选择 JTAG 时	Hi-Z	上拉/输入使能	上拉/输入使能	保持即前状态	保持即前状态	保持即前状态	保持即前状态	保持即前状态	保持即前状态
	选择 GPIO 时	设定禁止	设定禁止	设定禁止			Hi-Z / 内部输入固定在"0"	保持即前状态	Hi-Z / 内部输入固定在"0"	保持即前状态
F	使能 WKUP 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	WKUP 输入使能	Hi-Z / WKUP 输入使能	选择 GPIO
	选择模拟输入时	Hi-Z	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入
	选择外部中断使能时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO	Hi-Z / 内部输入固定在"0"	选择 GPIO
	选择其他资源时						Hi-Z / 内部输入固定在"0"			
选择 GPIO 时	保持即前状态									

引脚状态类型	功能组名称	上电复位/低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式/休眠模式状态	定时器模式/RTC 模式/停止模式状态		深层待机 RTC 模式/深层待机停止模式状态		深层待机模式回归即后状态
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
G	使能 WKUP 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	WKUP 输入使能	Hi-Z/ WKUP 输入使能	选择 GPIO
	选择外部中断使能时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO	Hi-Z/内部输入固定在 "0"	选择 GPIO
	选择其他资源时	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/内部输入固定在 "0"			
	选择 GPIO 时				保持即前状态					
H	选择外部中断使能时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO	Hi-Z/内部输入固定在 "0"	选择 GPIO
	选择其他资源时	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/内部输入固定在 "0"			
	选择 GPIO 时				保持即前状态					
I	选择其他资源时	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能	保持即前状态	保持即前状态	Hi-Z/内部输入固定在 "0"	选择 GPIO	Hi-Z/内部输入固定在 "0"	选择 GPIO
	选择 GPIO 时						保持即前状态	保持即前状态		
J	选择 NMIX 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	WKUP 输入使能	Hi-Z/ WKUP 输入使能	选择 GPIO
	选择其他资源时	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/内部输入固定在 "0"			
	选择 GPIO 时				保持即前状态					
K	选择模拟输入时	Hi-Z	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入
	选择其他资源时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在 "0"	选择 GPIO	Hi-Z/内部输入固定在 "0"	选择 GPIO
	选择 GPIO 时						保持即前状态			
L	选择模拟输入时	Hi-Z	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入	Hi-Z/内部输入固定在 "0"/使能模拟输入
	选择外部中断使能时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO	Hi-Z/内部输入固定在 "0"	选择 GPIO
	选择其他资源时						Hi-Z/内部输入固定在 "0"			
	选择 GPIO 时						保持即前状态			

引脚状态类型	功能组名称	上电复位/低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式/休眠模式状态	定时器模式/RTC 模式/停止模式状态		深层待机 RTC 模式/深层待机停止模式状态		深层待机模式回归即后状态
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
M	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态
	副晶振输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
N	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态
	副晶振输出引脚	Hi-Z/内部输入固定在"0"或使能输入	Hi-Z/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	保持即前状态	保持即前状态/振荡停止时*2 Hi-Z/内部输入固定在"0"	保持即前状态/振荡停止时*2 Hi-Z/内部输入固定在"0"	保持即前状态/振荡停止时*2 Hi-Z/内部输入固定在"0"	保持即前状态/振荡停止时*2 Hi-Z/内部输入固定在"0"	保持即前状态/振荡停止时*2 Hi-Z/内部输入固定在"0"
O	选择 GPIO 时	Hi-Z	Hi-Z/输入使能	Hi-Z/输入使能	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态
	USB I/O 引脚	设定禁止	设定禁止	设定禁止	保持即前状态	发送时输出 Hi-Z/使能输入/接收时内部输入固定在"0"	发送时输出 Hi-Z/使能输入/接收时内部输入固定在"0"	Hi-Z/输入使能	Hi-Z/输入使能	Hi-Z/输入使能
P	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/输入使能	保持即前状态	Hi-Z/输入使能	保持即前状态

\*1: 副定时器模式、低速 CR 定时器模式、RTC 模式、停止模式、深层待机模式 RTC 模式、深层待机停止模式下振荡停止。

\*2: 停止模式、深层待机停止模式下振荡停止。



## ■ 电气特性

## 1. 绝对最大额定值

参数	符号	额定值		单位	备注
		最小	最大		
电源电压* <sup>1</sup> , * <sup>2</sup>	V <sub>CC</sub>	V <sub>SS</sub> - 0.5	V <sub>SS</sub> + 6.5	V	
电源电压(USB 用)* <sup>1</sup> , * <sup>3</sup>	USBV <sub>CC</sub>	V <sub>SS</sub> - 0.5	V <sub>SS</sub> + 6.5	V	
模拟电源电压* <sup>1</sup> , * <sup>4</sup>	AV <sub>CC</sub>	V <sub>SS</sub> - 0.5	V <sub>SS</sub> + 6.5	V	
模拟基准电压* <sup>1</sup> , * <sup>4</sup>	AV <sub>RH</sub>	V <sub>SS</sub> - 0.5	V <sub>SS</sub> + 6.5	V	
输入电压	V <sub>I</sub>	V <sub>SS</sub> - 0.5	V <sub>CC</sub> + 0.5 (≒6.5V)	V	除 USB 引脚以外
		V <sub>SS</sub> - 0.5	USBV <sub>CC0</sub> + 0.5 (≒6.5V)	V	USB 引脚
		V <sub>SS</sub> - 0.5	V <sub>SS</sub> + 6.5	V	耐 5V
模拟引脚输入电压	V <sub>IA</sub>	V <sub>SS</sub> - 0.5	AV <sub>CC</sub> + 0.5 (≒6.5V)	V	
输出电压	V <sub>O</sub>	V <sub>SS</sub> - 0.5	V <sub>CC</sub> + 0.5 (≒6.5V)	V	
"L"电平最大输出电流* <sup>5</sup>	I <sub>OL</sub>	-	10	mA	4mA 类型
			20	mA	12mA 类型
"L"电平平均输出电流* <sup>6</sup>	I <sub>OLAV</sub>	-	4	mA	4mA 类型
			12	mA	12mA 类型
"L"电平最大总输出电流	∑I <sub>OL</sub>	-	100	mA	
"L"电平平均总输出电流* <sup>7</sup>	∑I <sub>OLAV</sub>	-	50	mA	
"H"电平最大输出电流* <sup>5</sup>	I <sub>OH</sub>	-	- 10	mA	4mA 类型
			- 20	mA	12mA 类型
"H"电平平均输出电流* <sup>6</sup>	I <sub>OHAV</sub>	-	- 4	mA	4mA 类型
			- 12	mA	12mA 类型
"H"电平最大总输出电流	∑I <sub>OH</sub>	-	- 100	mA	
"H"电平平均总输出电流* <sup>7</sup>	∑I <sub>OHAV</sub>	-	- 50	mA	
功耗	P <sub>D</sub>	-	300	mW	
保存温度	T <sub>STG</sub>	- 55	+ 150	°C	

\*1: V<sub>SS</sub> = AV<sub>SS</sub> = 0.0 V 时的值。

\*2: V<sub>CC</sub> 不可低于 V<sub>SS</sub> - 0.5V。

\*3: USB V<sub>CC</sub> 不可低于 V<sub>SS</sub> - 0.5V。

\*4: 接通电源等情况下, 电压不可超过 V<sub>CC</sub> + 0.5V。

\*5: 最大输出电流规定所在引脚的峰值。

\*6: 平均输出电流规定在 100 ms 内流经所在引脚的平均电流。

\*7: 平均总输出电流规定在 100 ms 内流过所有引脚的平均电流。

## &lt;注意事项&gt;

如在半导体器件上施加的负荷(电压、电流、温度等)超过最大额定值, 将会导致该器件永久性损坏, 因此任何参数均不得超过其绝对最大额定值。

## 2. 推荐工作条件

(V<sub>SS</sub> = AV<sub>SS</sub> = 0.0V)

参数	符号	条件	额定值		单位	备注
			最小	最大		
电源电压	V <sub>CC</sub>	-	2.7	5.5	V	
USB 用电源电压(3V 电源)	USBV <sub>CC</sub>	-	3.0	3.6 (≦V <sub>CC</sub> )	V	*1
			2.7	5.5 (≦V <sub>CC</sub> )		*2
模拟电源电压	AV <sub>CC</sub>	-	2.7	5.5	V	AV <sub>CC</sub> =V <sub>CC</sub>
模拟基准电压	AV <sub>RH</sub>	-	AV <sub>SS</sub>	AV <sub>CC</sub>	V	
工作温度	T <sub>a</sub>	-	- 40	+ 105	°C	

\*1: P81/UDP0, P80/UDM0 引脚作为 USB 引脚(UDP0, UDM0)使用时

\*2: P81/UDP0, P80/UDM0 引脚作为 GPIO 引脚(P81, P80)使用时

### <注意事项>

为确保半导体器件的正常工作，其须满足所推荐的运行环境或条件。器件在所推荐的环境或条件下运行时，其全部电气特性均可得到保证。请务必在所推荐的工作环境或条件范围内使用该半导体器件。如超出该等范围使用，可能会影响该器件的可靠性并导致故障。

本公司对本数据手册中未记载的使用范围、运行条件或逻辑组合不作任何保证。如果用户欲在所列条件之外使用器件，请务必事先联系销售代表。

## 3. 直流特性

## (1) 电流规格

(Vcc = AVcc = 2.7V ~ 5.5V, USBVcc = 3.0V ~ 3.6V, Vss = AVss = 0V, Ta = -40°C ~ +105°C)

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
电源电流	Icc	VCC	正常运行 (PLL)	-	32	TBD	mA	CPU : 40MHz, 外设: 40MHz, 主闪存 0Wait, FRWTR.RWT = 00, FSYNDN.SD = 000 *1
				-	21	TBD	mA	CPU : 40MHz, 外设: 40MHz, 主闪存 3Wait, FRWTR.RWT = 00, FSYNDN.SD = 011 *1
			正常运行 (内置高速 CR)	-	3.9	TBD	mA	CPU/外设: 4MHz *1, *2 主闪存 0Wait, FRWTR.RWT = 00, FSYNDN.SD = 000
			正常运行 (副振荡)	-	0.15	TBD	mA	CPU/外设: 32kHz, 主闪存 0Wait, FRWTR.RWT = 00, FSYNDN.SD = 000 *1
			正常运行 (内置低速 CR)	-	0.2	TBD	mA	CPU/外设: 100kHz, 主闪存 0Wait, FRWTR.RWT = 00, FSYNDN.SD = 000 *1
	Iccs		SLEEP 运行 (PLL)	-	10	TBD	mA	外设: 40MHz *1
			SLEEP 运行 内置高速 CR)	-	1.2	TBD	mA	外设: 4MHz *1, *2
			SLEEP 运行 (副振荡)	-	0.1	TBD	mA	外设: 32kHz *1
			SLEEP 运行 (内置低速 CR)	-	0.1	TBD	mA	外设: 100kHz *1
	Icch		STOP 模式	-	35	TBD	μA	Ta = +25°C, LVD off 时 *1
				-	-	TBD	mA	Ta = +105°C, LVD off 时 *1
	Icct		TIMER 模式 (副振荡)	-	60	TBD	μA	Ta = +25°C, LVD off 时 *1
				-	-	TBD	mA	Ta = +105°C, LVD off 时 *1

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
电源电流	I <sub>CCR</sub>	VCC	RTC 模式	-	60	TBD	μA	Ta = + 25°C, LVD off 时 *1, *3
				-	-	TBD	μA	Ta = + 105°C, LVD off 时 *1, *3
	I <sub>CCHD</sub>		-	20	TBD	μA	Ta = + 25°C, LVD off 时 无 RAM 保持 *1, *4	
				23	TBD	μA	Ta = + 25°C, LVD off 时 有 RAM 保持 *1, *4	
			-	-	TBD	μA	Ta = + 105°C, LVD off 时 无 RAM 保持 *1, *4	
				-	TBD	μA	Ta = + 105°C, LVD off 时 有 RAM 保持 *1, *4	
	I <sub>CCRD</sub>		-	45	TBD	μA	Ta = + 25°C, LVD off 时 无 RAM 保持 *1, *3, *4	
				48	TBD	μA	Ta = + 25°C, LVD off 时 有 RAM 保持 *1, *3, *4	
			-	-	TBD	μA	Ta = + 105°C, LVD off 时 无 RAM 保持 *1, *3, *4	
				-	TBD	μA	Ta = + 105°C, LVD off 时 有 RAM 保持 *1, *3, *4	
低压检测电路(LVD)电源电流	I <sub>CLVD</sub>	运行时	-	4	7	μA	用于中断发生	

\*1: 所有端口固定时

\*2: 调节时设定到 4 MHz 的情况下

\*3: 使用副晶振时

\*4: RAM 保持的设置仅适用于片上 SRAM

## (2) 引脚特性

(V<sub>CC</sub> = AV<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = AV<sub>SS</sub> = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
"H"电平 输入电压 (迟滞输入)	V <sub>IHS</sub>	CMOS 迟滞输入引脚, MD0, MD1	-	V <sub>CC</sub> × 0.8	-	V <sub>CC</sub> + 0.3	V	
		耐 5V 输入引脚	-	V <sub>CC</sub> × 0.8	-	V <sub>SS</sub> + 5.5	V	
"L"电平 输入电压 (迟滞输入)	V <sub>ILS</sub>	CMOS 迟滞输入引脚, MD0, MD1	-	V <sub>SS</sub> - 0.3	-	V <sub>CC</sub> × 0.2	V	
		耐 5V 输入引脚	-	V <sub>SS</sub> - 0.3	-	V <sub>CC</sub> × 0.2	V	
"H"电平 输出电压	V <sub>OH</sub>	4mA 类型	V <sub>CC</sub> ≥ 4.5 V, I <sub>OH</sub> = - 4mA	V <sub>CC</sub> - 0.5	-	V <sub>CC</sub>	V	
			V <sub>CC</sub> < 4.5 V, I <sub>OH</sub> = - 2mA					
		12mA 类型	V <sub>CC</sub> ≥ 4.5 V, I <sub>OH</sub> = - 12mA	V <sub>CC</sub> - 0.5	-	V <sub>CC</sub>	V	
			V <sub>CC</sub> < 4.5 V, I <sub>OH</sub> = - 8mA					
		USB I/O 共用	USBV <sub>CC</sub> ≥ 4.5 V, I <sub>OH</sub> = - 20.5mA	USBV <sub>CC</sub> - 0.4	-	USBV <sub>CC</sub>	V	
			USBV <sub>CC</sub> < 4.5 V, I <sub>OH</sub> = - 13.0mA					
"L"电平 输出电压	V <sub>OL</sub>	4mA 类型	V <sub>CC</sub> ≥ 4.5 V, I <sub>OL</sub> = 4mA	V <sub>SS</sub>	-	0.4	V	
			V <sub>CC</sub> < 4.5 V, I <sub>OL</sub> = 2mA					
		12mA 类型	V <sub>CC</sub> ≥ 4.5 V, I <sub>OL</sub> = 12mA	V <sub>SS</sub>	-	0.4	V	
			V <sub>CC</sub> < 4.5 V, I <sub>OL</sub> = 8mA					
		USB I/O 共用	USBV <sub>CC</sub> ≥ 4.5 V, I <sub>OL</sub> = 18.5mA	V <sub>SS</sub>	-	0.4	V	
			USBV <sub>CC</sub> < 4.5 V, I <sub>OL</sub> = 10.5mA					
输入漏电流	I <sub>IL</sub>	-	-	- 5	-	+ 5	μA	
上拉电阻值	R <sub>PU</sub>	上拉引脚	V <sub>CC</sub> ≥ 4.5 V	25	50	100	kΩ	
			V <sub>CC</sub> < 4.5 V	30	80	200		
输入电容	C <sub>IN</sub>	除 V <sub>CC</sub> , USBV <sub>CC</sub> , V <sub>SS</sub> , AV <sub>CC</sub> , AV <sub>SS</sub> , AV <sub>RH</sub> 之外	-	-	5	15	pF	

## 4. 交流特性

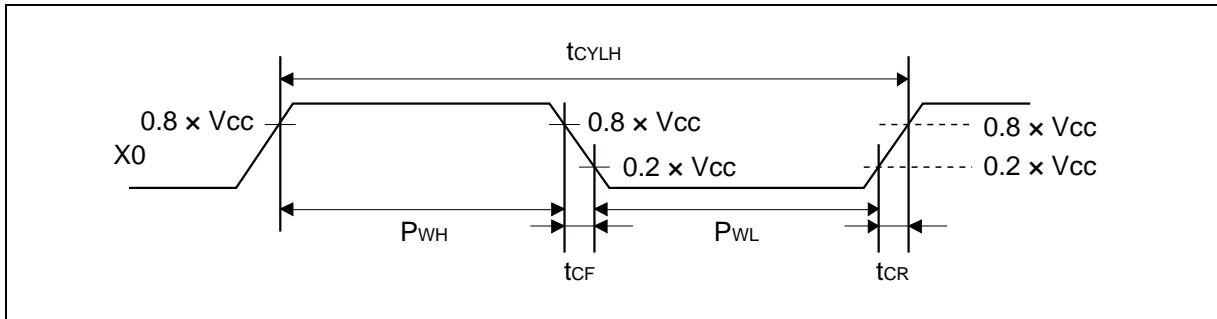
### (1) 主时钟输入规格

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +105^{\circ}C$ )

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入频率	$F_{CH}$	X0, X1	$V_{CC} \geq 4.5V$	4	48	MHz	连接晶振时
			$V_{CC} < 4.5V$	4	20		
			$V_{CC} \geq 4.5V$	4	48	MHz	外部时钟时
			$V_{CC} < 4.5V$	4	20		
输入时钟周期	$t_{CYLH}$		$V_{CC} \geq 4.5V$	20.83	250	ns	外部时钟时
			$V_{CC} < 4.5V$	50	250		
输入时钟脉宽	-		$P_{WH}/t_{CYLH}$ , $P_{WL}/t_{CYLH}$	45	55	%	外部时钟时
输入时钟上升/ 下降时间	$t_{CF}$ , $t_{CR}$		-	-	5	ns	外部时钟时
内部工作时钟频率 *1	$F_{CC}$	-	-	-	42	MHz	基本时钟(HCLK/FCLK)
	$F_{CP0}$	-	-	-	42	MHz	APB0 总线时钟*2
	$F_{CP1}$	-	-	-	42	MHz	APB1 总线时钟*2
	$F_{CP2}$	-	-	-	42	MHz	APB2 总线时钟*2
内部工作时钟周期 时间*1	$t_{CYCC}$	-	-	23.8	-	ns	基本时钟(HCLK/FCLK)
	$t_{CYCP0}$	-	-	23.8	-	ns	APB0 总线时钟*2
	$t_{CYCP1}$	-	-	23.8	-	ns	APB1 总线时钟*2
	$t_{CYCP2}$	-	-	23.8	-	ns	APB2 总线时钟*2

\*1: 关于各内部工作时钟，详情参照“FM3 家族外围资源手册”中的“时钟”一章。

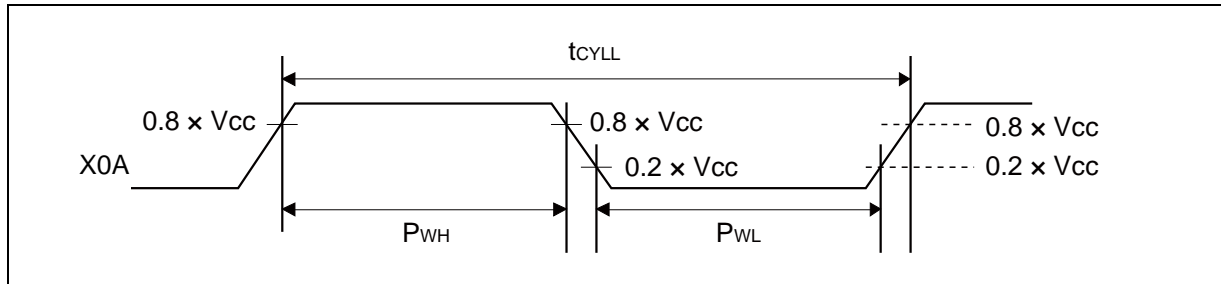
\*2: 关于各外设连结的 APB 总线，参照“■框图”。



(2) 副时钟输入规格

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
输入频率	1/t <sub>CYLL</sub>	X0A, X1A	-	-	32.768	-	kHz	连接晶振时
			-	32	-	100	kHz	外部时钟时
输入时钟周期	t <sub>CYLL</sub>		-	10	-	31.25	μs	外部时钟时
输入时钟脉宽	-		P <sub>WH</sub> /t <sub>CYLL</sub> , P <sub>WL</sub> /t <sub>CYLL</sub>	45	-	55	%	外部时钟时



(3) 内置 CR 振荡规格

- 内置高速 CR

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	F <sub>CRH</sub>	Ta = + 25°C	3.96	4	4.04	MHz	调节时*
		Ta = 0°C ~ + 70°C	3.84	4	4.16		
		Ta = - 40°C ~ + 105°C	3.8	4	4.2		
		Ta = - 40°C ~ + 105°C	3	4	5	非调节时	

\*: 出库时设定的 Flash 存储器内的 CR 调节区的值作为频率调节值使用时

- 内置低速 CR

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	F <sub>CRL</sub>	-	50	100	150	kHz	

### (4-1) 主 PLL/USB 用 PLL 的使用条件(主时钟作为 PLL 的输入时钟)

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +105^{\circ}C$ )

参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间* (LOCK UP 时间)	$t_{LOCK}$	100	-	-	$\mu s$	
PLL 输入时钟频率	$F_{PLLI}$	4	-	16	MHz	
PLL 倍频率	-	13	-	75	倍频	
PLL macro 振荡时钟频率	$F_{PLLO}$	200	-	300	MHz	

\*: 至 PLL 振荡稳定所需时间

### (4-2) 主 PLL 的使用条件(内置高速 CR 时钟作为主 PLL 的输入时钟)

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +105^{\circ}C$ )

参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间* (LOCK UP 时间)	$t_{LOCK}$	100	-	-	$\mu s$	
PLL 输入时钟频率	$F_{PLLI}$	3.8	4	4.2	MHz	
PLL 倍频率	-	50	-	71	倍频	
PLL macro 振荡时钟频率	$F_{PLLO}$	190	-	300	MHz	

\*: 至 PLL 振荡稳定所需时间

(注意事项) 务必输入调节后的内置高速 CR。

### (5) 复位输入规格

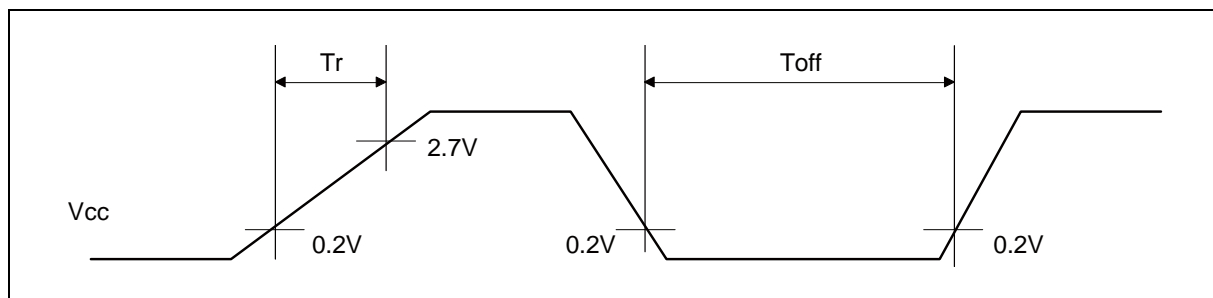
( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +105^{\circ}C$ )

参数	符号	引脚名	条件	规格值		单位	备注
				最小	最大		
复位输入时间	$t_{INITX}$	INITX	-	500	-	ns	

### (6) 上电复位时序

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +105^{\circ}C$ )

参数	符号	引脚名	规格值		单位	备注
			最小	最大		
电源上升时间	$T_r$	VCC	0	-	ms	
电源切断时间	$T_{off}$		1	-	ms	



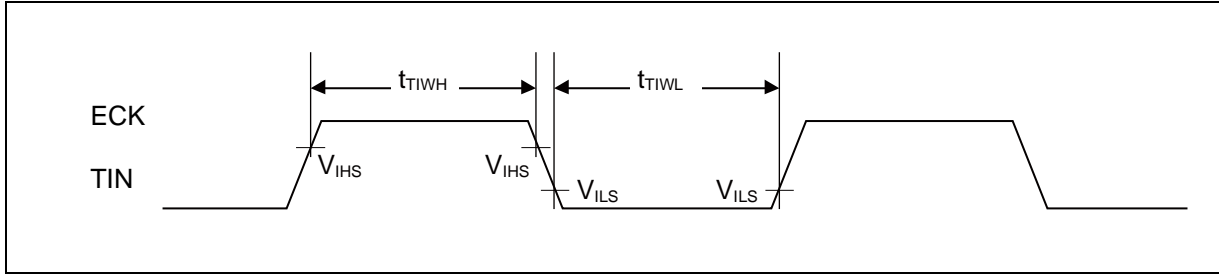


(7) 基本定时器输入时序

• 定时器输入时序

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

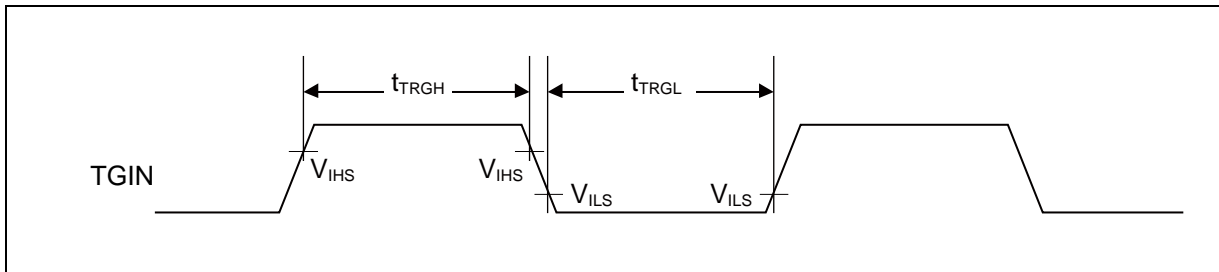
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	$t_{TIWH}$ , $t_{TIWL}$	TIOAn/TIOBn (作为 ECK, TIN 使用时)	-	$2t_{CYCP}$	-	ns	



• 触发输入时序

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	$t_{TRGH}$ , $t_{TRGL}$	TIOAn/TIOBn (作为 TGIN 使 用时)	-	$2t_{CYCP}$	-	ns	



(注意事项)  $t_{cycp}$  是 APB 最小时钟的周期时间。

关于基本定时器连结的 APB 总线序号, 参照“■框图”。

## (8) UART 时序

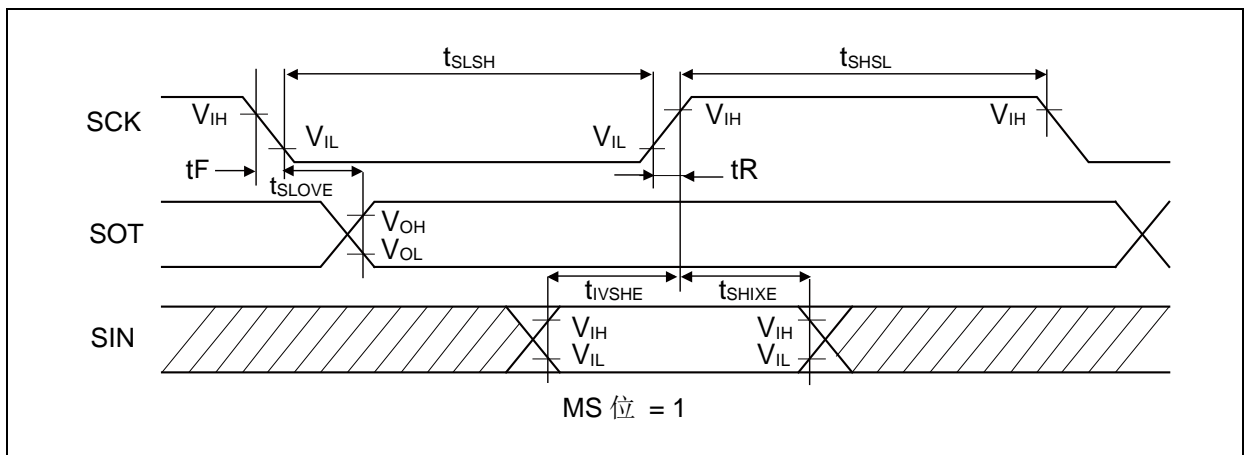
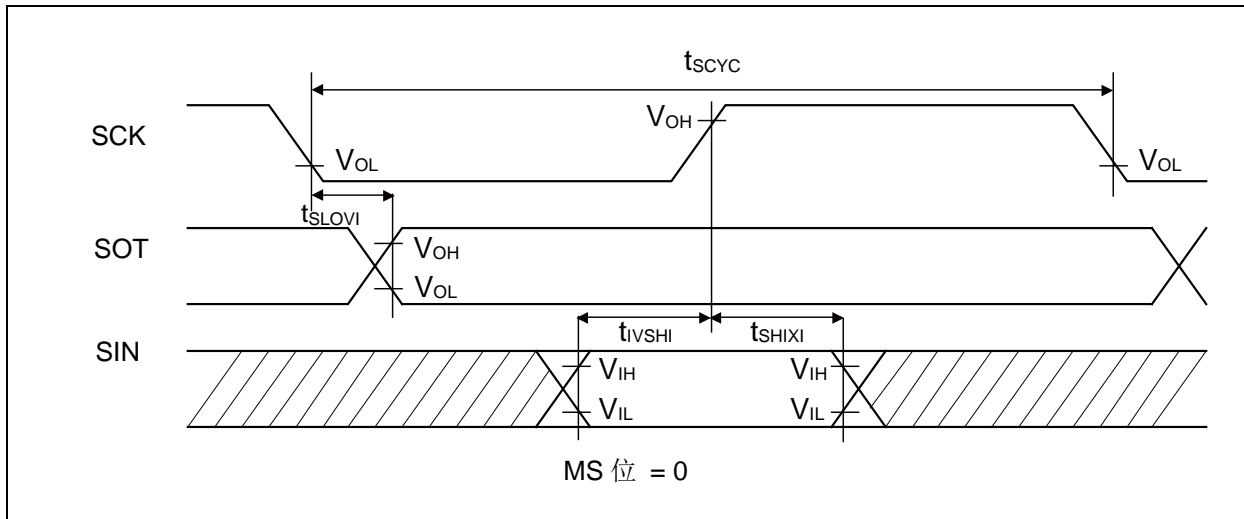
• 同步串行(SPI = 0, SCINV = 0)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	Vcc<4.5V		Vcc≥4.5V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t <sub>SCYC</sub>	SCKx	内部移位 时钟运行	4tcycp	-	4tcycp	-	ns
SCK↓→SOT 延迟时间	t <sub>SLOVI</sub>	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↑创建时间	t <sub>IVSHI</sub>	SCKx, SINx		50	-	30	-	ns
SCK↑→SIN 保持时间	t <sub>SHIXI</sub>	SCKx, SINx		0	-	0	-	ns
串行时钟"L"脉宽	t <sub>SLSH</sub>	SCKx	外部移位 时钟运行	2tcycp - 10	-	2tcycp - 10	-	ns
串行时钟"H"脉宽	t <sub>SHSL</sub>	SCKx		tcycp + 10	-	tcycp + 10	-	ns
SCK↓→SOT 延迟时间	t <sub>SLOVE</sub>	SCKx, SOTx		-	50	-	30	ns
SIN→SCK↑创建时间	t <sub>IVSHE</sub>	SCKx, SINx		10	-	10	-	ns
SCK↑→SIN 保持时间	t <sub>SHIXE</sub>	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	tF	SCKx		-	5	-	5	ns
SCK 上升时间	tR	SCKx		-	5	-	5	ns

(注意事项) • CLK 同步模式时的交流特性。

- t<sub>CYCP</sub> 是 APB 总线时钟的周期时间。  
关于 UART 连接的 APB 总线序号，详情参照“**■**框图”。
- 本规格仅保证相同重定位端口号。  
例如 SCLKx\_0, SOTx\_1 组合不为保证对象。
- 外部负载电容 C<sub>L</sub> = 30 pF 时



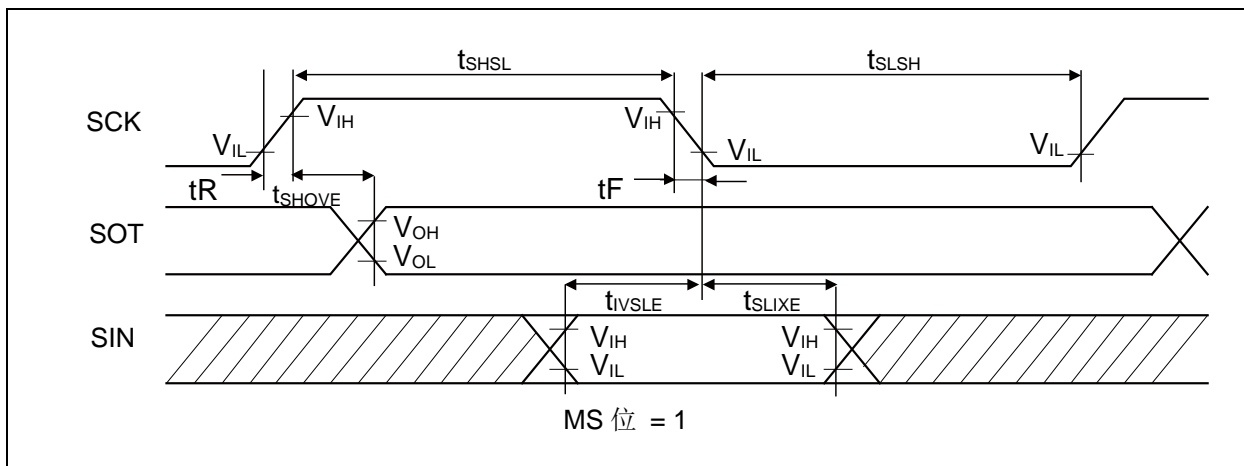
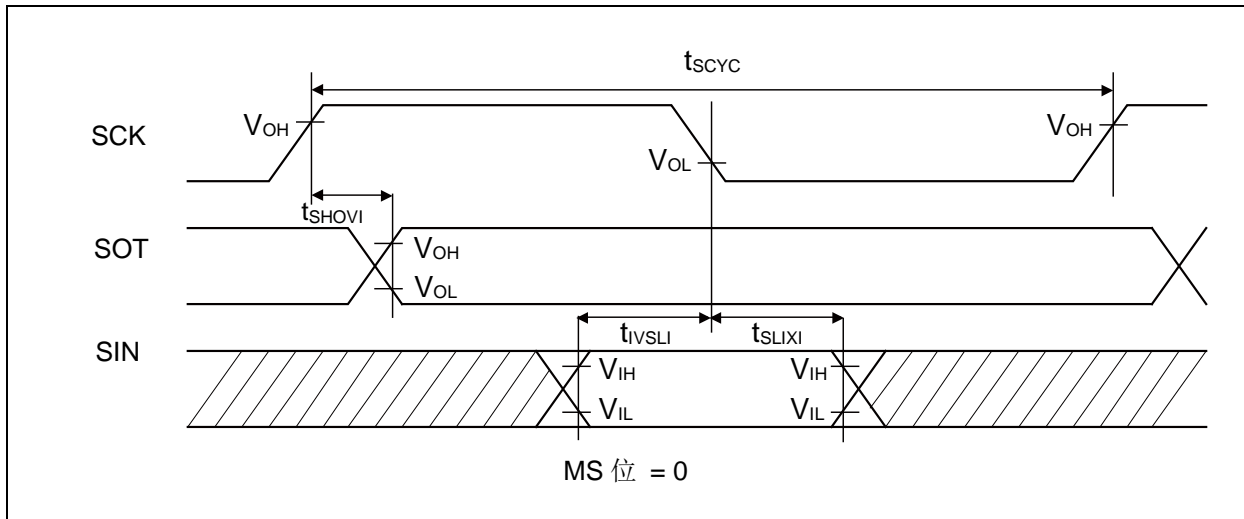
• 同步串行(SPI = 0, SCINV = 1)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	Vcc<4.5V		Vcc≥4.5V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t <sub>SCYC</sub>	SCK <sub>X</sub>	内部移位 时钟运行	4tcycp	-	4tcycp	-	ns
SCK↑→SOT 延迟时间	t <sub>SHOVI</sub>	SCK <sub>X</sub> , SOT <sub>X</sub>		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↓创建时间	t <sub>IVSLI</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		50	-	30	-	ns
SCK↓→SIN 保持时间	t <sub>SLIXI</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		0	-	0	-	ns
串行时钟"L"脉宽	t <sub>SLSH</sub>	SCK <sub>X</sub>	外部移位 时钟运行	2tcycp - 10	-	2tcycp - 10	-	ns
串行时钟"H"脉宽	t <sub>SHSL</sub>	SCK <sub>X</sub>		tcycp + 10	-	tcycp + 10	-	ns
SCK↑→SOT 延迟时间	t <sub>SHOVE</sub>	SCK <sub>X</sub> , SOT <sub>X</sub>		-	50	-	30	ns
SIN→SCK↓创建时间	t <sub>IVSLE</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		10	-	10	-	ns
SCK↓→SIN 保持时间	t <sub>SLIXE</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		20	-	20	-	ns
SCK 下降时间	t <sub>F</sub>	SCK <sub>X</sub>		-	5	-	5	ns
SCK 上升时间	t <sub>R</sub>	SCK <sub>X</sub>		-	5	-	5	ns

(注意事项) • CLK 同步模式时的交流特性。


- t<sub>CYCP</sub> 是 APB 总线时钟的周期时间。  
关于 UART 连接的 APB 总线序号，详情参照“**■**框图”。
- 本规格仅保证相同重定位端口号。  
例如 SCLK<sub>X\_0</sub>, SOT<sub>X\_1</sub> 组合不为保证对象。
- 外部负载电容 C<sub>L</sub> = 30 pF 时

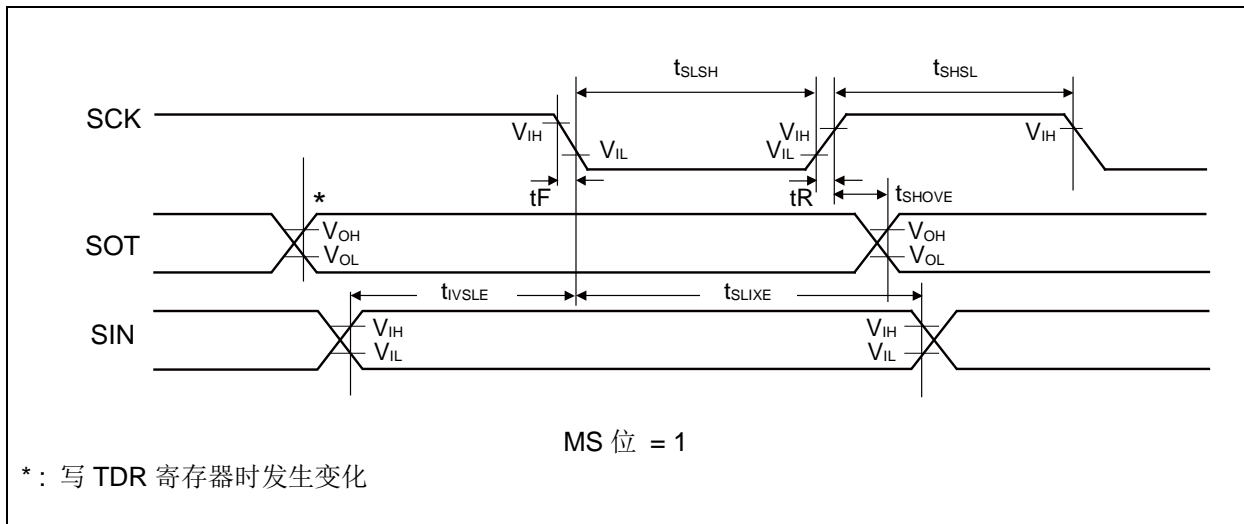
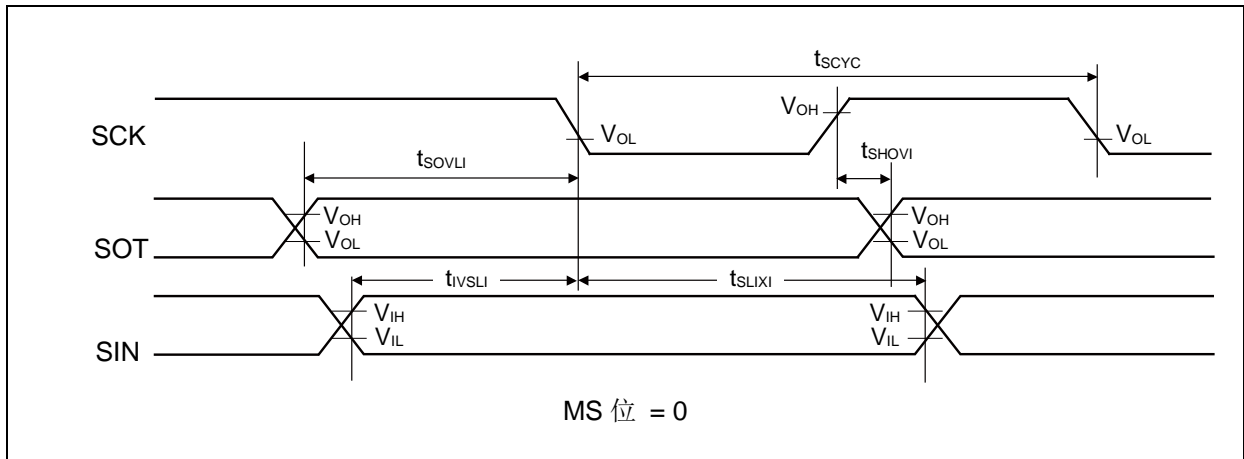


• 同步串行(SPI = 1, SCINV = 0)

(V<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = 0V, T<sub>a</sub> = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	V <sub>CC</sub> <4.5V		V <sub>CC</sub> ≥4.5V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t <sub>SCYC</sub>	SCK <sub>X</sub>	内部移位 时钟运行	4tcycp	-	4tcycp	-	ns
SCK↑→SOT 延迟时间	t <sub>SHOVI</sub>	SCK <sub>X</sub> , SOT <sub>X</sub>		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↓创建时间	t <sub>IVSLI</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		50	-	30	-	ns
SCK↓→SIN 保持时间	t <sub>SLIXI</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		0	-	0	-	ns
SOT→SCK↓延迟时间	t <sub>SOVLI</sub>	SCK <sub>X</sub> , SOT <sub>X</sub>		2tcycp - 30	-	2tcycp - 30	-	ns
串行时钟"L"脉宽	t <sub>SLSH</sub>	SCK <sub>X</sub>	外部移位 时钟运行	2tcycp - 10	-	2tcycp - 10	-	ns
串行时钟"H"脉宽	t <sub>SHSL</sub>	SCK <sub>X</sub>		tcycp + 10	-	tcycp + 10	-	ns
SCK↑→SOT 延迟时间	t <sub>SHOVE</sub>	SCK <sub>X</sub> , SOT <sub>X</sub>		-	50	-	30	ns
SIN→SCK↓创建时间	t <sub>IVSLE</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		10	-	10	-	ns
SCK↓→SIN 保持时间	t <sub>SLIXE</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		20	-	20	-	ns
SCK 下降时间	t <sub>F</sub>	SCK <sub>X</sub>		-	5	-	5	ns
SCK 上升时间	t <sub>R</sub>	SCK <sub>X</sub>		-	5	-	5	ns

- (注意事项) • CLK 同步模式时的交流特性。
- t<sub>CYCP</sub> 是 APB 总线时钟的周期时间。  
关于 UART 连接的 APB 总线序号, 详情参照“框图”。
  - 本规格仅保证相同重定位端口号。  
例如 SCLK<sub>X</sub>\_0, SOT<sub>X</sub>\_1 组合不为保证对象。
  - 外部负载电容 C<sub>L</sub> = 30 pF 时



• 同步串行(SPI = 1, SCINV = 1)

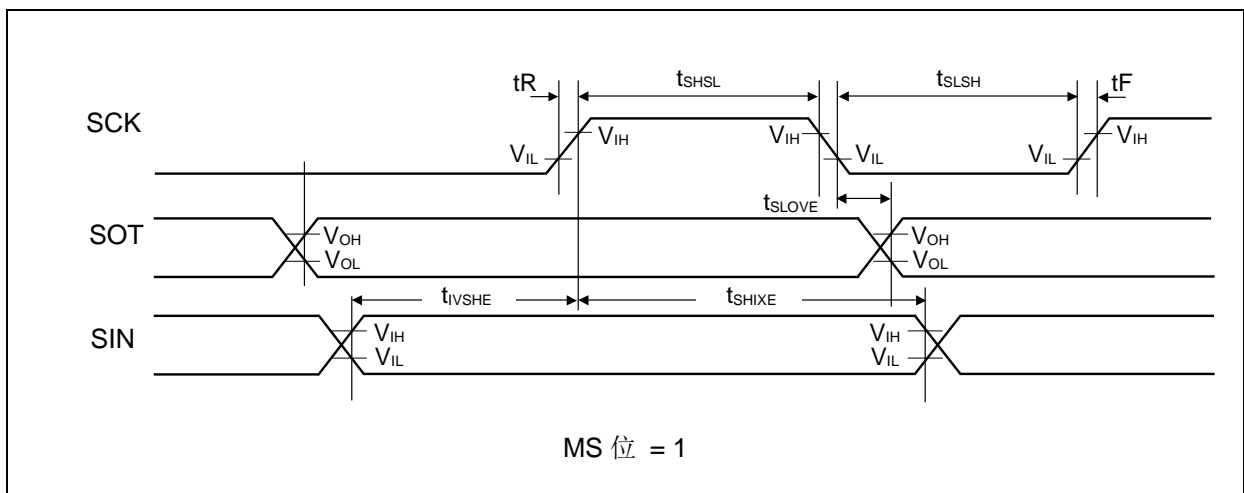
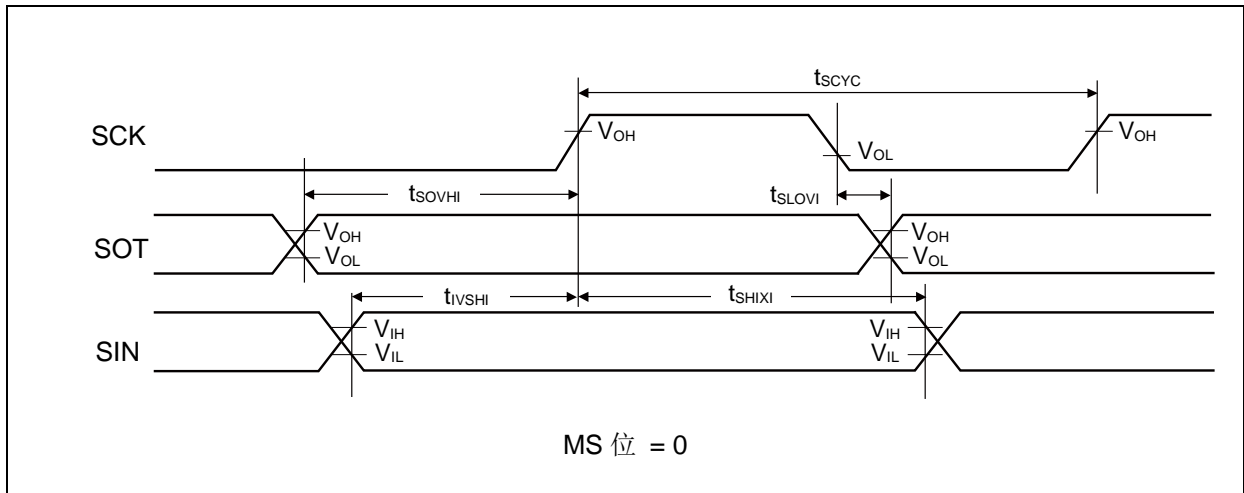
(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	Vcc < 4.5V		Vcc ≥ 4.5V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t <sub>SCYC</sub>	SCK <sub>X</sub>	内部移位 时钟运行	4tcycp	-	4tcycp	-	ns
SCK↓→SOT 延迟时间	t <sub>SLOVI</sub>	SCK <sub>X</sub> , SOT <sub>X</sub>		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↑创建时间	t <sub>IVSHI</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		50	-	30	-	ns
SCK↑→SIN 保持时间	t <sub>SHIXI</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		0	-	0	-	ns
SOT→SCK↑延迟时间	t <sub>SOVHI</sub>	SCK <sub>X</sub> , SOT <sub>X</sub>		2tcycp - 30	-	2tcycp - 30	-	ns
串行时钟"L"脉宽	t <sub>SLSH</sub>	SCK <sub>X</sub>	外部移位 时钟运行	2tcycp - 10	-	2tcycp - 10	-	ns
串行时钟"H"脉宽	t <sub>SHSL</sub>	SCK <sub>X</sub>		tcycp + 10	-	tcycp + 10	-	ns
SCK↓→SOT 延迟时间	t <sub>SLOVE</sub>	SCK <sub>X</sub> , SOT <sub>X</sub>		-	50	-	30	ns
SIN→SCK↑创建时间	t <sub>IVSHE</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		10	-	10	-	ns
SCK↑→SIN 保持时间	t <sub>SHIXE</sub>	SCK <sub>X</sub> , SIN <sub>X</sub>		20	-	20	-	ns
SCK 下降时间	t <sub>F</sub>	SCK <sub>X</sub>		-	5	-	5	ns
SCK 上升时间	t <sub>R</sub>	SCK <sub>X</sub>		-	5	-	5	ns

(注意事项) • CLK 同步模式时的交流特性。

- t<sub>CYCP</sub> 是 APB 总线时钟的周期时间。  
关于 UART 连接的 APB 总线序号, 详情参照“**■**框图”。
- 本规格仅保证相同重定位端口号。  
例如 SCLK<sub>X\_0</sub>, SOT<sub>X\_1</sub> 组合不为保证对象。
- 外部负载电容 C<sub>L</sub> = 30 pF 时

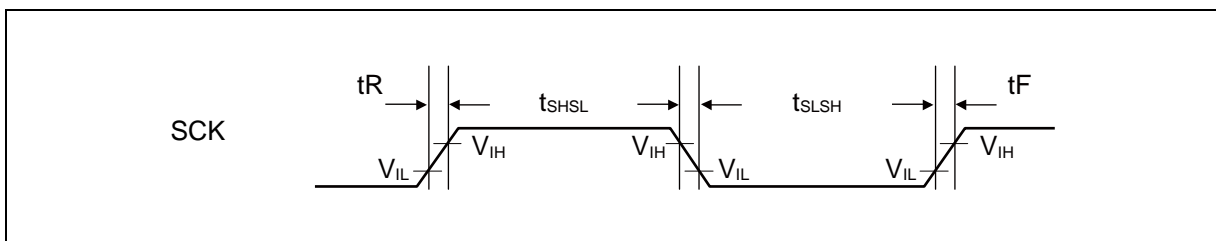




• 外部时钟(EXT = 1): 仅限异步时

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +105^{\circ}C$ )

参数	符号	条件	最小	最大	单位	备注
串行时钟"L"脉宽	$t_{SLSH}$	$C_L = 30 \text{ pF}$	$t_{cycp} + 10$	-	ns	
串行时钟"H"脉宽	$t_{SHSL}$		$t_{cycp} + 10$	-	ns	
SCK 下降时间	$t_F$		-	5	ns	
SCK 上升时间	$t_R$		-	5	ns	



## (9) 外部输入时序

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

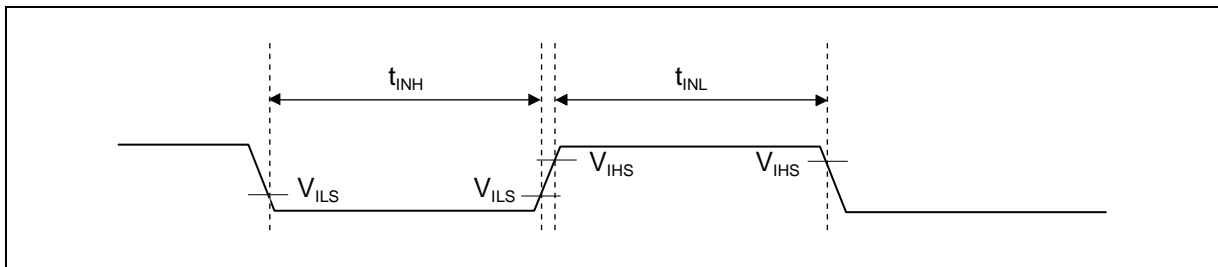
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t <sub>INH</sub> , t <sub>INL</sub>	ADTG	-	2t <sub>CYCP</sub> * <sup>1</sup>	-	ns	A/D 转换器触发输入
		FRCKx	-				自由运行定时器输入时钟
		ICxx	-				输入捕捉
		DTTlxX	-	2t <sub>CYCP</sub> * <sup>1</sup>	-	ns	波形发生器
		INT00 ~ INT15, NMIX	-	2t <sub>CYCP</sub> + 100* <sup>1</sup>	-	ns	外部中断
		WKUPx	-	500* <sup>2</sup>	-	ns	NMI
				TBD* <sup>3</sup>	-	ns	深层待机唤醒

\*1: tcycp 是 APB 总线时钟的周期时间(定时器模式、RTC 模式及停止模式下停止时除外)。

关于 A/D 转换器、多功能定时器及外部中断连接的 APB 总线序号，详情参照“■框图”。

\*2: 定时器模式、RTC 模式和停止模式下

\*3: 深层待机 RTC 模式和深层待机 STOP 模式下

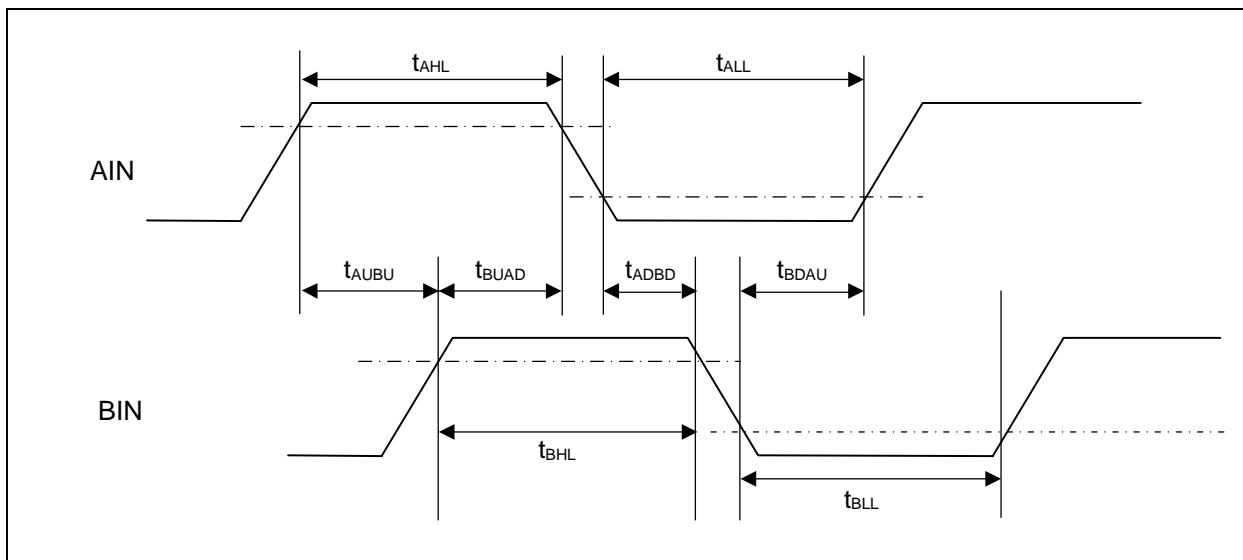


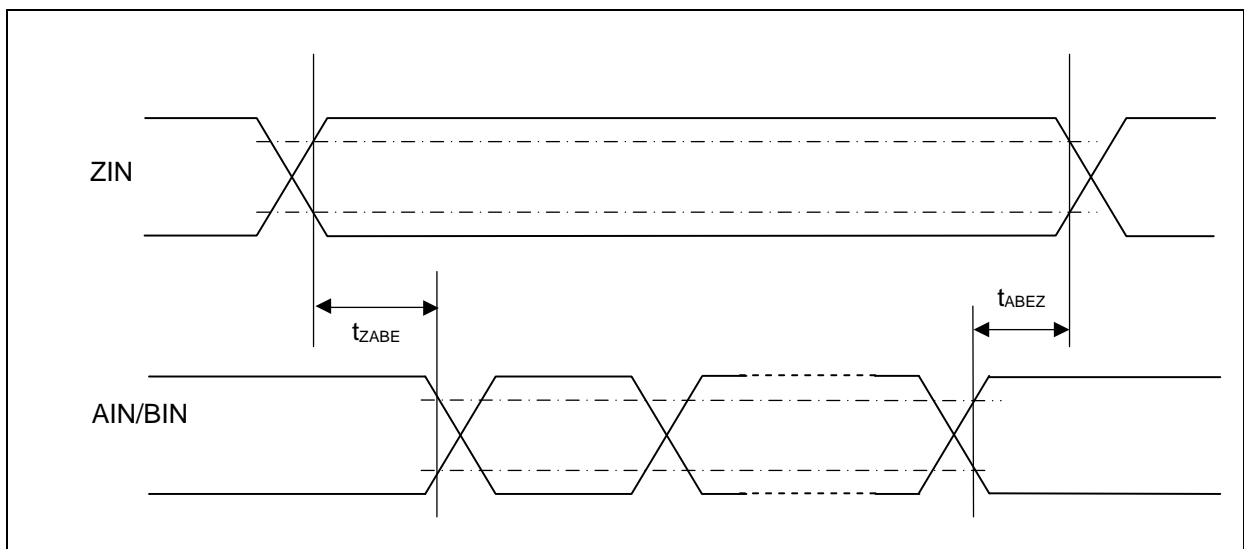
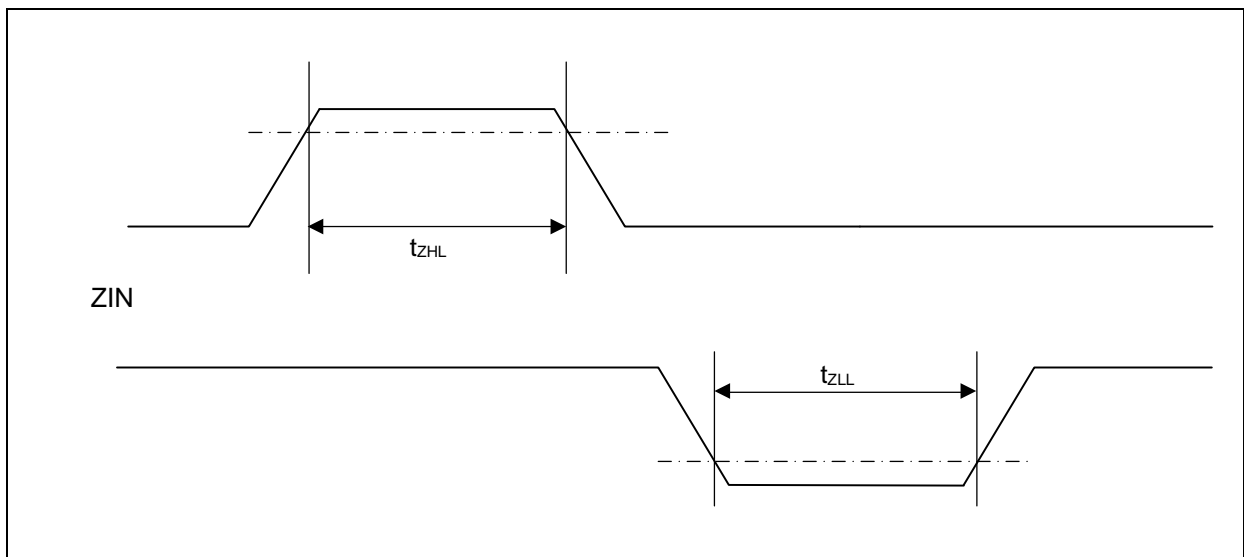
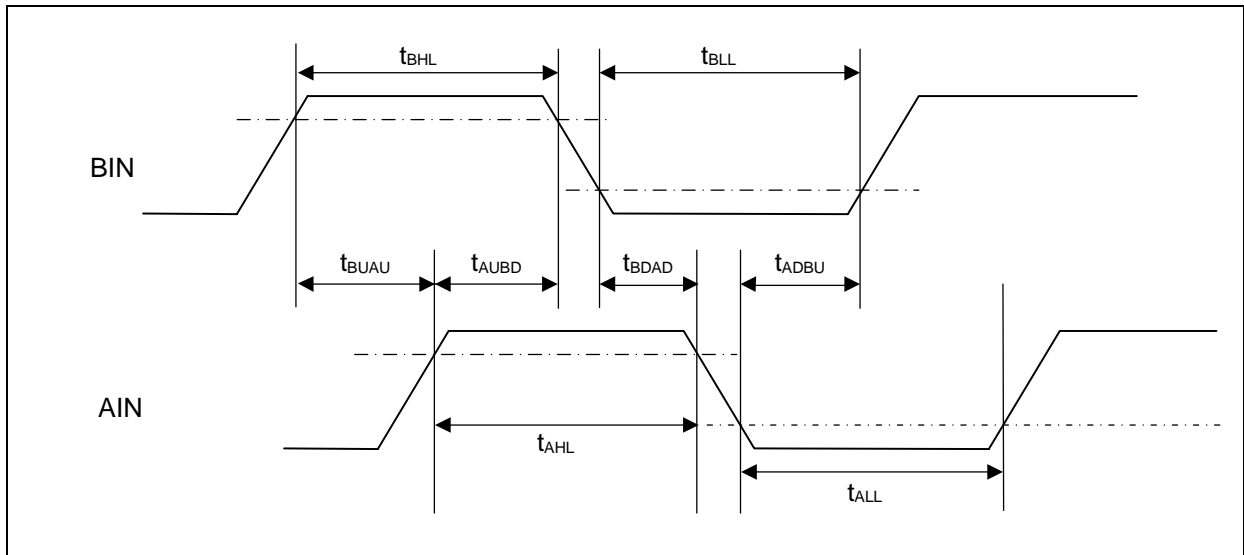
(10) Quad 计数器时序

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	条件	规格值		单位
			最小值	最大值	
AIN 引脚"H"宽	$t_{AHL}$	-	$2t_{CYCP}^*$	-	ns
AIN 引脚"L"宽	$t_{ALL}$	-			
BIN 引脚"H"宽	$t_{BHL}$	-			
BIN 引脚"L"宽	$t_{BLL}$	-			
从 AIN"H"电平 BIN 上升时间	$t_{AUBU}$	PC_Mode2 或 PC_Mode3			
从 BIN"H"电平 AIN 下降时间	$t_{BUAD}$	PC_Mode2 或 PC_Mode3			
从 AIN"L"电平 BIN 下降时间	$t_{ADBD}$	PC_Mode2 或 PC_Mode3			
从 BIN"L"电平 AIN 上升时间	$t_{BDAU}$	PC_Mode2 或 PC_Mode3			
从 BIN"H"电平 AIN 上升时间	$t_{BUAU}$	PC_Mode2 或 PC_Mode3			
从 AIN"H"电平 BIN 下降时间	$t_{AUBD}$	PC_Mode2 或 PC_Mode3			
从 BIN"L"电平 AIN 下降时间	$t_{BDAD}$	PC_Mode2 或 PC_Mode3			
从 AIN"L"电平 BIN 上升时间	$t_{ADBU}$	PC_Mode2 或 PC_Mode3			
ZIN 引脚"H"宽	$t_{ZHL}$	QCR:CGSC="0"			
ZIN 引脚"L"宽	$t_{ZLL}$	QCR:CGSC="0"			
从 ZIN 电平确定 AIN/BIN 上升下降时间	$t_{ZABE}$	QCR:CGSC="1"			
从 AIN/BIN 上升下降时间 ZIN 电平确定	$t_{ABEZ}$	QCR:CGSC="1"			

\*:  $t_{CYCP}$  是 APB 总线时钟的周期时间(定时器模式和停止模式下停止时除外)。  
关于 Quad 计数器连接的 APB 总线序号, 详情参照“**■**框图”。





(11) I<sup>2</sup>C 时序

(V<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = 0V, T<sub>a</sub> = -40°C ~ +105°C)

参数	符号	条件	标准模式		高速模式		单位	备注
			最小	最大	最小	最大		
SCL 时钟频率	F <sub>SCL</sub>	C <sub>L</sub> = 30 pF, R = (V <sub>p</sub> /I <sub>OL</sub> )* <sup>1</sup>	0	100	0	400	kHz	
(重复)“启动”条件保持时间 SDA↓→SCL↓	t <sub>HDSTA</sub>		4.0	-	0.6	-	μs	
SCL 时钟“L”宽	t <sub>LOW</sub>		4.7	-	1.3	-	μs	
SCL 时钟“H”宽	t <sub>HIGH</sub>		4.0	-	0.6	-	μs	
重复“启动”条件创建时间 SCL↑→SDA↓	t <sub>SUSTA</sub>		4.7	-	0.6	-	μs	
数据保持时间 SCL↓→SDA↑	t <sub>HDDAT</sub>		0	3.45* <sup>2</sup>	0	0.9* <sup>3</sup>	μs	
数据创建时间 SDA↓↑→SCL↑	t <sub>SUDAT</sub>		250	-	100	-	ns	
“停止”条件创建时间 SCL↑→SDA↑	t <sub>SUSTO</sub>		4.0	-	0.6	-	μs	
“停止”条件和“启动”条件间的 总线空闲时间	t <sub>BUF</sub>		4.7	-	1.3	-	μs	
噪声滤波器	t <sub>SP</sub>	-	2 t <sub>CYCP</sub> * <sup>4</sup>	-	2 t <sub>CYCP</sub> * <sup>4</sup>	-	ns	

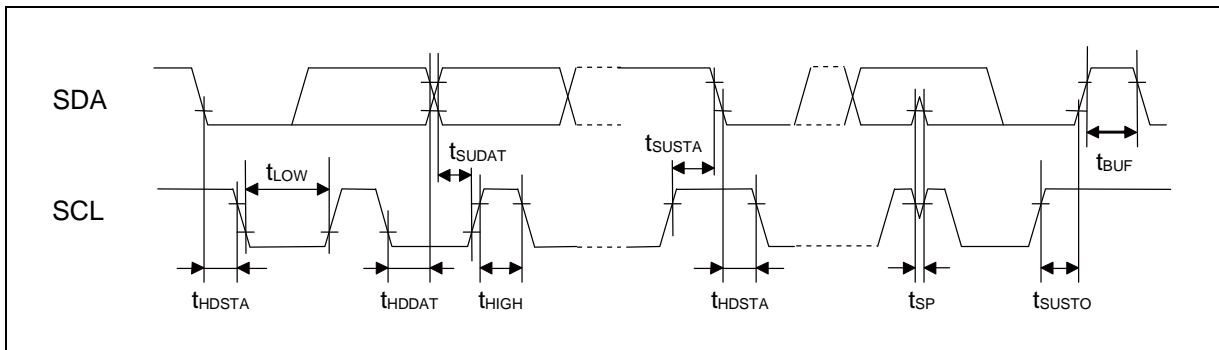
\*1: R, C 是指 SCL, SDA 总线上的上拉电阻和负载电容。V<sub>p</sub> 是指上拉电阻的电源电压, I<sub>OL</sub> 是指 V<sub>OL</sub> 保证电流。

\*2: 仅在芯片保持 SCL 信号在“L”(t<sub>LOW</sub>)未扩展期间才可使用最大 t<sub>HDDAT</sub>。

\*3: 高速模式 I<sup>2</sup>C 总线芯片可用于标准模式 I<sup>2</sup>C 总线系统, 但必须满足 t<sub>SUDAT</sub> ≧ 250ns 的要求。

\*4: t<sub>cycp</sub> 是指 APB 总线时钟的周期时间。

关于 I<sup>2</sup>C 连结的 APB 总线序号, 详情参照“■框图”。  
使用 I<sup>2</sup>C 时, 请将外设总线时钟设定在 8 MHz 以上。

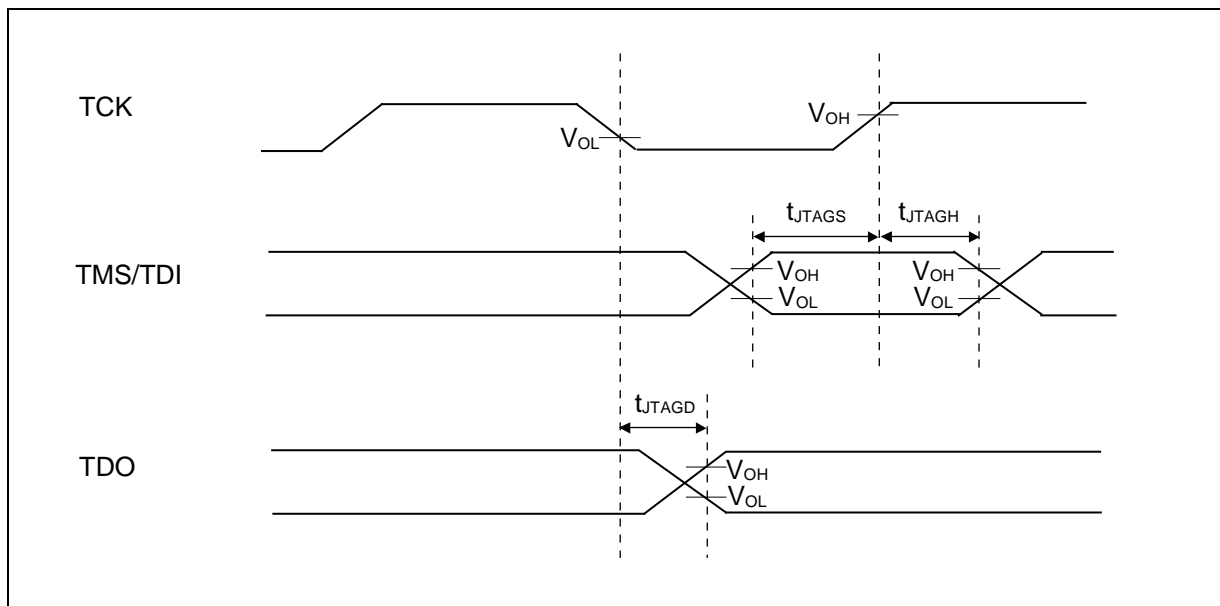


## (12) JTAG 时序

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +105^{\circ}C$ )

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
TMS, TDI 创建时间	$t_{JTAGS}$	TCK, TMS, TDI	$V_{CC} \geq 4.5V$	15	-	ns	
			$V_{CC} < 4.5V$				
TMS, TDI 保持时间	$t_{JTAGH}$	TCK, TMS, TDI	$V_{CC} \geq 4.5V$	15	-	ns	
			$V_{CC} < 4.5V$				
TDO 延迟时间	$t_{JTAGD}$	TCK, TDO	$V_{CC} \geq 4.5V$	-	25	ns	
			$V_{CC} < 4.5V$	-	45		

(注意事项) 外部负载电容  $C_L = 30\text{ pF}$  时



## 5. 12 位 A/D 转换器

· A/D 转换部的电气特性(暂定值)

( $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +105^{\circ}C$ )

参数	引脚名称	规格值			单位	备注
		最小	标准	最大		
分辨率	-	-	-	12	bit	
非线性误差	-	- 4.5	-	+ 4.5	LSB	AVRH=2.7V ~ 5.5V
差分线性误差	-	- 2.5	-	+ 2.5	LSB	
零转换电压	AN0 ~ AN7	- 20	-	+ 20	mV	
全面转换电压	AN0 ~ AN7	AVRH - 20	-	AVRH + 20	mV	
转换时间	-	1.0* <sup>1</sup>	-	-	μs	AVCC ≥ 4.5V
采样时间	Ts	*2	-	-	ns	AVCC ≥ 4.5V
		*2	-	-		AVCC < 4.5V
比较时钟周期* <sup>3</sup>	Tcck	50	-	10000	ns	
动作使能状态转移期间	Tstt	1.0	-	-	μs	
电源电流 (模拟 + 数字)	AVCC	-	0.57	0.72	mA	A/D 1unit 运行时
		-	0.06	20	μA	A/D 停止时
基准电源电流 (AVRH ~ AVSS 间)	AVRH	-	1.1	1.96	mA	A/D 1unit 运行时 AVRH=5.5V
		-	0.06	4	μA	A/D 停止时
模拟输入电容	Cin	-	-	12.9	pF	
模拟输入电阻	Rin	-	-	2	kΩ	AVCC ≥ 4.5V
				3.8		AVCC < 4.5V
通道间不平衡	-	-	-	4	LSB	
模拟端口输入电流	AN0 ~ AN7	-	-	5	μA	
模拟输入电压	AN0 ~ AN7	AVSS	-	AVRH	V	
基准电压	AVRH	2.7	-	AVCC	V	

\*1: 转换时间是采样时间(Ts) + 比较时间(Tc)的值。

最短转换时间的条件是采样时间: 300 ns, 比较时间: 700 ns (AVCC ≥ 4.5V)的值。

必须满足采样时间(Ts)和比较时钟周期(Tcck)的规格。

关于采样时间和比较时钟周期的设置\*<sup>4</sup>, 详情参照“FM3 家族外围资源手册”中的“12 位 A/D 转换器”一章。

ADC 的寄存器设定在外设时钟时序上反映。

采样及比较时钟在基本时钟(HCLK)设定。

\*2: 所需采样时间因外部阻抗而异。

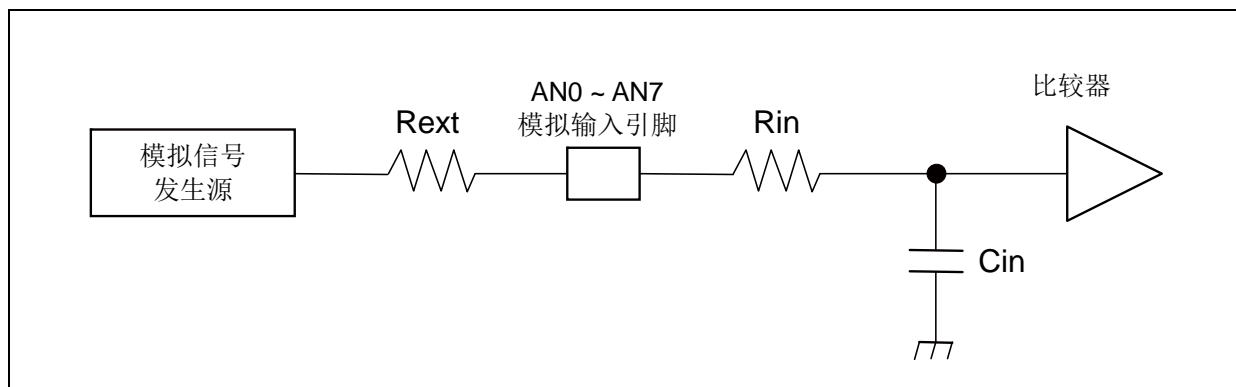
设定的采样时间务必满足(公式 1)。

\*3: 比较时间(Tc)是(公式 2)的值。

\*4: ADC 的寄存器设定在 APB 总线时钟的时序上反映。

采样及比较时钟在基本时钟(HCLK)设定。

关于 ADC 连接的 APB 总线序号, 详情参照“■框图”。



(公式 1)  $T_s \cong (R_{in} + R_{ext}) \times C_{in} \times 9$

$T_s$  : 采样时间

$R_{in}$  : A/D 的输入电阻 = 2 k $\Omega$       4.5  $\cong$  AVCC  $\cong$  5.5 时  
           A/D 的输入电阻 = 3.8 k $\Omega$       2.7  $\cong$  AVCC < 4.5 时

$C_{in}$  : A/D 的输入电容 = 12.9 pF      2.7  $\cong$  AVCC  $\cong$  5.5 时

$R_{ext}$  : 外部电路的输出阻抗

(公式 2)  $T_c = T_{cck} \times 14$

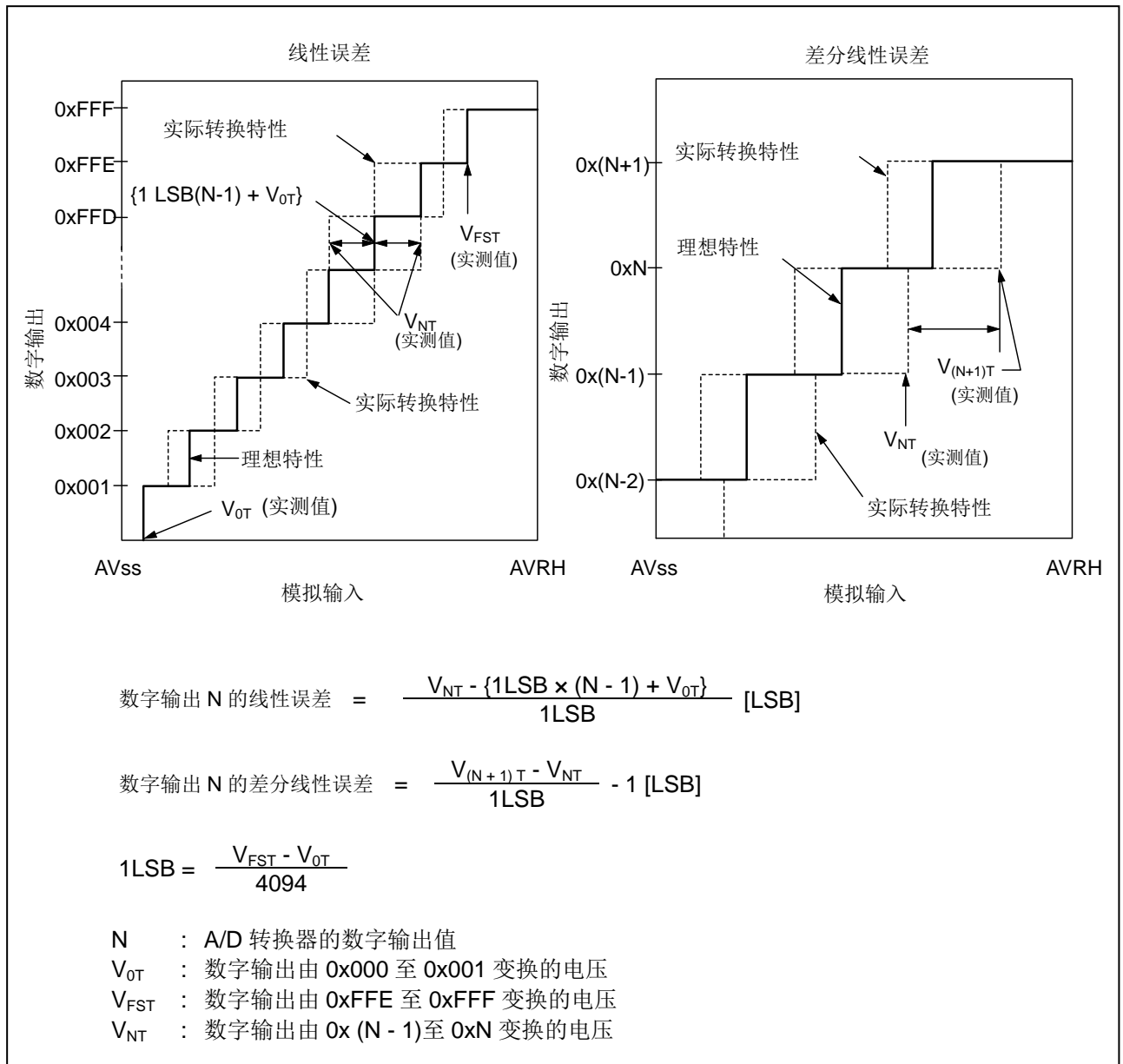
$T_c$  : 比较时间

$T_{cck}$  : 比较时钟周期



· 12 位 A/D 转换器的术语定义

- 分辨率 : 分辨率是 A/D 转换器分辨出的模拟偏差的等级
- 线性误差 : 线性误差是指实际转换值偏移直线的误差, 该直线连接器件上的零转换点 (0b000000000000 ↔ 0b000000000001) 和同一器件上的全面转换点 (0b111111111110 ↔ 0b111111111111)
- 差分线性误差 : 差分线性误差指用一个 LSB 改变输出码所需输入电压偏移理想值的误差



## 6. USB 特性

(Vcc = 2.7V ~ 5.5V, USBVcc = 3.0V ~ 3.6V, Vss = 0V, Ta = - 40°C ~ + 105°C)

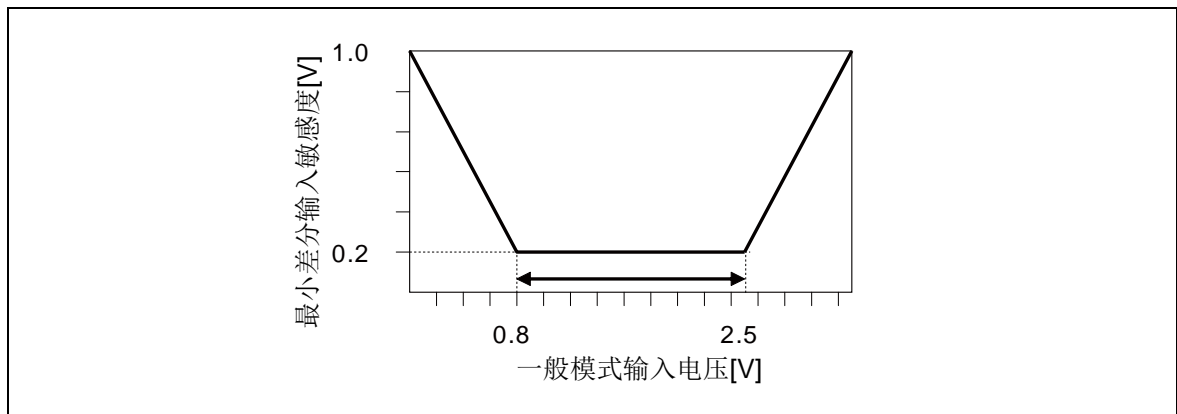
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入特性	输入"H"电平电压	V <sub>IH</sub>	-	2.0	USBVcc + 0.3	V	*1
	输入"L"电平电压	V <sub>IL</sub>	-	V <sub>SS</sub> - 0.3	0.8	V	*1
	差分输入敏感度	V <sub>DI</sub>	-	0.2	-	V	*2
	差分一般模式范围	V <sub>CM</sub>	-	0.8	2.5	V	*2
输出特性	输出"H"电平电压	V <sub>OH</sub>	外部下拉电阻= 15 kΩ	2.8	3.6	V	*3
	输出"L"电平电压	V <sub>OL</sub>	外部上拉电阻= 1.5 kΩ	0.0	0.3	V	*3
	交变电压	V <sub>CRS</sub>	-	1.3	2.0	V	*4
	上升时间	t <sub>FR</sub>	Full-Speed	4	20	ns	*5
	下降时间	t <sub>FF</sub>	Full-Speed	4	20	ns	*5
	上升/下降时间匹配	t <sub>FRFM</sub>	Full-Speed	90	111.11	%	*5
	输出阻抗	Z <sub>DRV</sub>	Full-Speed	28	44	Ω	*6
	上升时间	t <sub>LR</sub>	Low-Speed	75	300	ns	*7
	下降时间	t <sub>LF</sub>	Low-Speed	75	300	ns	*7
	上升/下降时间匹配	t <sub>LRFM</sub>	Low-Speed	80	125	%	*7

\*1: USB FLS I/O 的 Single-End-Receiver 的开关阈值电压在 V<sub>IL</sub>(Max)=0.8V, V<sub>IH</sub>(Min)=2.0V(TTL 输入规格) 范围内进行设定。还具有可降低噪声敏感度的迟滞特性。

\*2: 接收 USB 差分数据信号使用的是 Differential-Receiver。

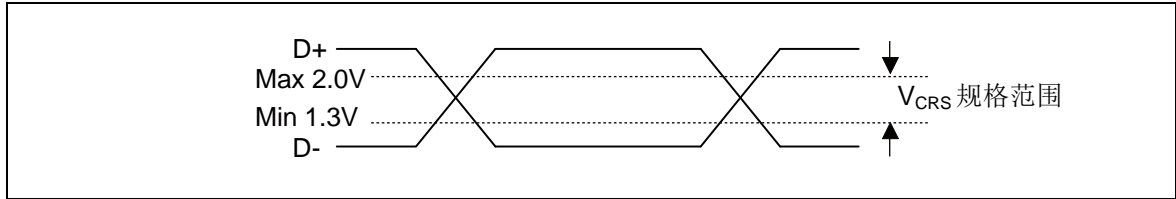
针对本地接地基准电平, 差分数据输入在 0.8V ~ 2.5V 的范围时, Differential-Receiver 具有 200mV 的差分输入敏感度。

上述电压范围是一般模式输入电压范围。

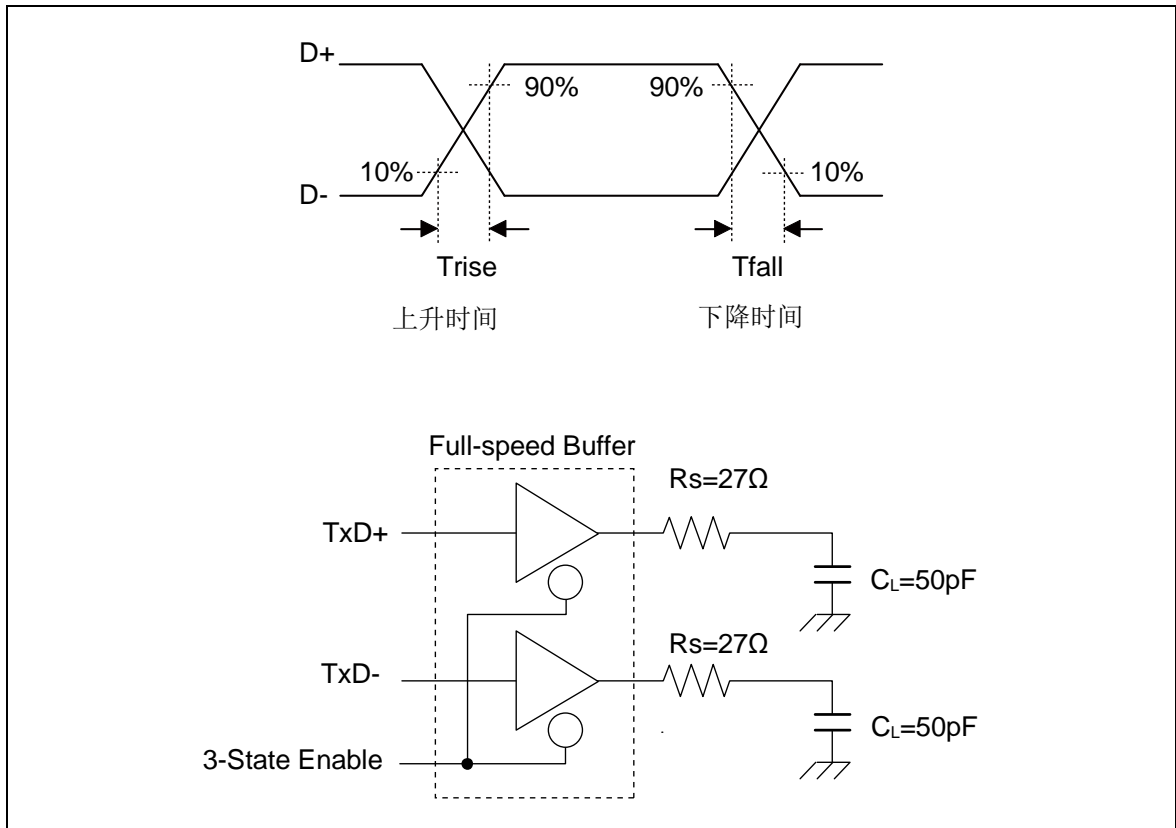


\*3: 驱动器的输出驱动能力在 Low-State ( $V_{OL}$ )时为 0.3 V 以下(针对 3.6 V, 1.5 k $\Omega$  负载), 而在 High-State ( $V_{OH}$ )时为 2.8 V 以上(针对接地, 15 k $\Omega$  负载)。

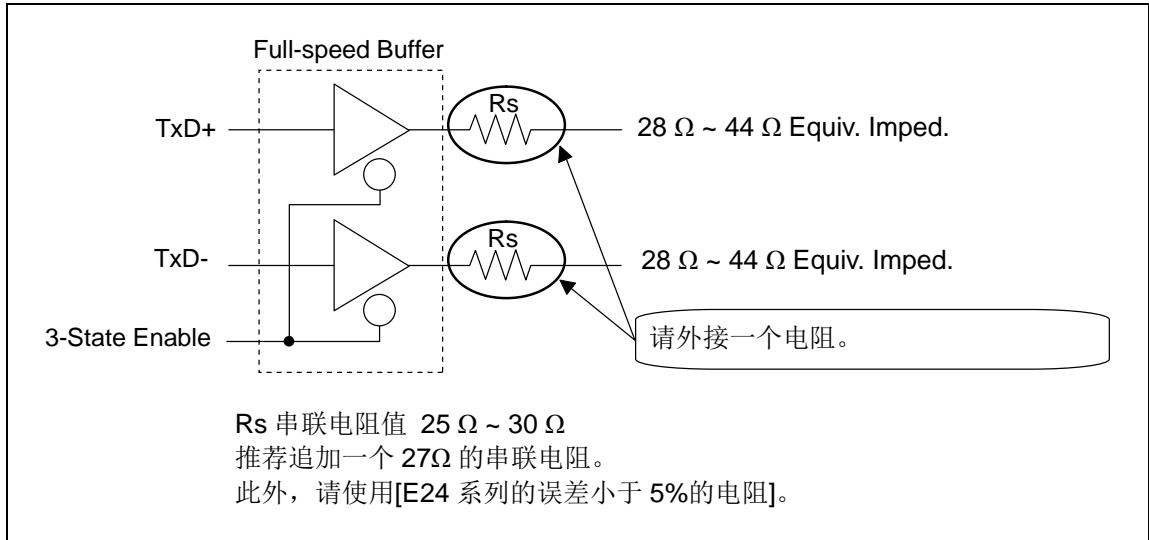
\*4: USB I/O 的外部差分输出信号(D+/D-)的交叉电压在 1.3 V ~ 2.0 V 的范围内。



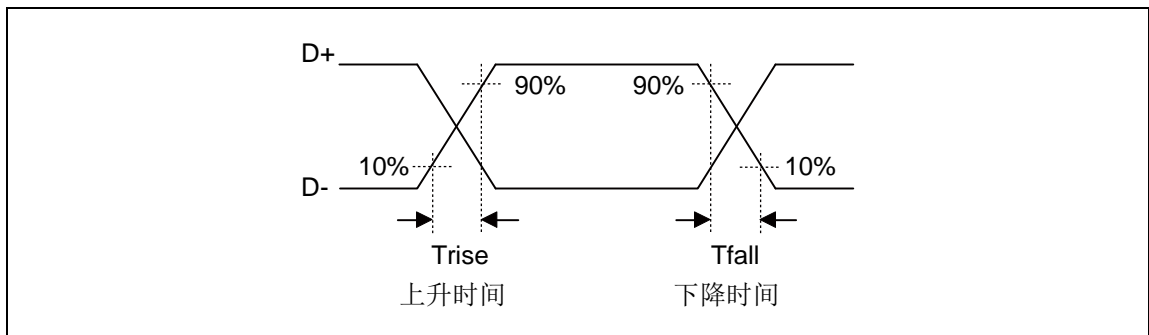
\*5: 规定 Full-Speed 差分数据信号的上升( $T_{rise}$ )和下降( $T_{fall}$ )时间。  
由输出信号电压的 10% ~ 90% 的时间定义。  
关于 Full-speed Buffer, 为了将 RFI 放射降到最小, 规定  $T_r/T_f$  比在  $\pm 10\%$  以内。



- \*6: 在  $90\Omega \pm 15\%$  的特性阻抗(Differential Mode)下, 通过屏蔽后的双绞线电缆可连接 USB Full-speed。USB 规格规定了 USB Driver 的输出阻抗必须在  $28\Omega \sim 44\Omega$  范围内。为了满足上述规格并保持平衡, 还规定添加分立串联电阻( $R_s$ )。使用本 USB FLS I/O 时, 请追加一个  $25\Omega \sim 30\Omega$  (推荐值  $27\Omega$ ) 的串联电阻  $R_s$ 。

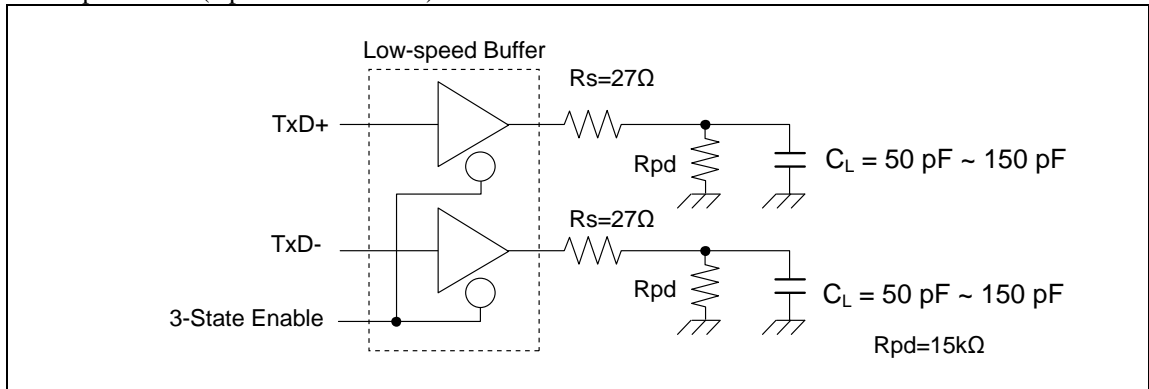


- \*7: 规定 Low-Speed 差分数据信号的上升( $T_{rise}$ )和下降( $T_{fall}$ )时间。由输出信号电压的 10% ~ 90% 的时间定义。

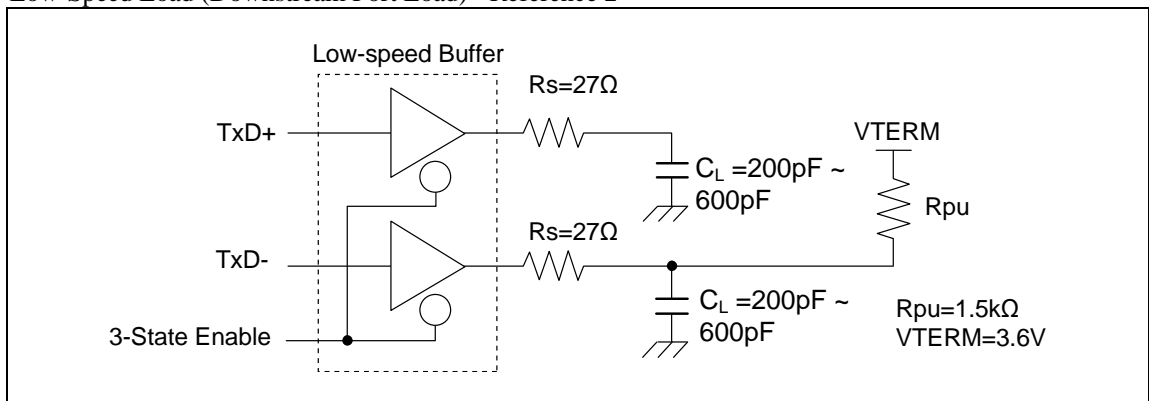


关于外部负载条件, 参照“• Low-Speed Load (Compliance Load)”。

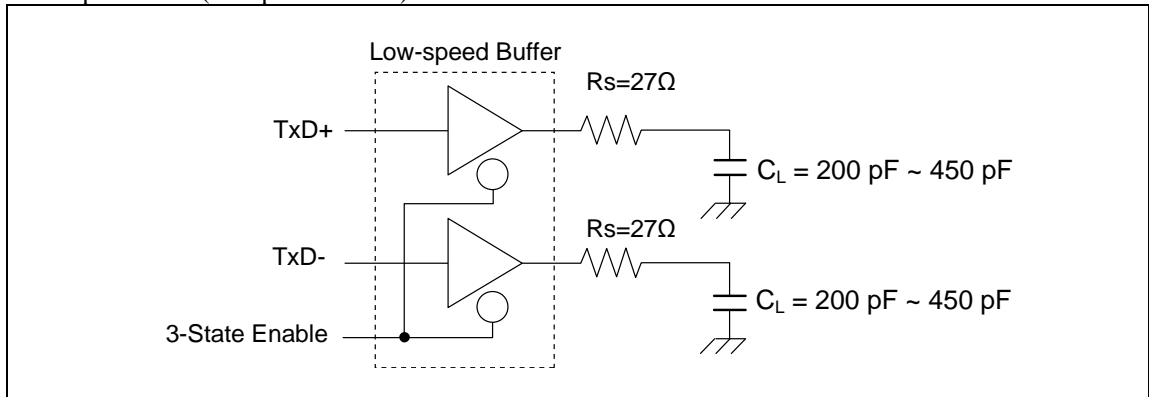
• Low-Speed Load (Upstream Port Load) - Reference 1



• Low-Speed Load (Downstream Port Load) - Reference 2



• Low-Speed Load (Compliance Load)



## 7. 低压检测特性

### (1) 低压检测复位

(Ta = - 40°C ~ + 105°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	-	2.25	2.45	2.65	V	电压下降时
释放电压	VDH	-	2.30	2.50	2.70	V	电压上升时

### (2) 低压检测中断

(Ta = - 40°C ~ + 105°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	SVHI = 0000	2.58	2.8	3.02	V	电压下降时
释放电压	VDH		2.67	2.9	3.13	V	电压上升时
检测电压	VDL	SVHI = 0001	2.76	3.0	3.24	V	电压下降时
释放电压	VDH		2.85	3.1	3.34	V	电压上升时
检测电压	VDL	SVHI = 0010	2.94	3.2	3.45	V	电压下降时
释放电压	VDH		3.04	3.3	3.56	V	电压上升时
检测电压	VDL	SVHI = 0011	3.31	3.6	3.88	V	电压下降时
释放电压	VDH		3.40	3.7	3.99	V	电压上升时
检测电压	VDL	SVHI = 0100	3.40	3.7	3.99	V	电压下降时
释放电压	VDH		3.50	3.8	4.10	V	电压上升时
检测电压	VDL	SVHI = 0111	3.68	4.0	4.32	V	电压下降时
释放电压	VDH		3.77	4.1	4.42	V	电压上升时
检测电压	VDL	SVHI = 1000	3.77	4.1	4.42	V	电压下降时
释放电压	VDH		3.86	4.2	4.53	V	电压上升时
检测电压	VDL	SVHI = 1001	3.86	4.2	4.53	V	电压下降时
释放电压	VDH		3.96	4.3	4.64	V	电压上升时
LVD 稳定等待时间	T <sub>LVDW</sub>	-	-	-	2240 × tcyep*	μs	

\*: tcyep 是 APB2 总线时钟的周期时间。

## 8. 主闪存写/擦特性

(Vcc = 2.7V ~ 5.5V, Ta = - 40°C ~ + 105°C)

参数	规格值			单位	备注
	最小	标准	最大		
扇区擦除时间	Large Sector	-	0.7	s	包括内部擦除前的写入时间
	Small Sector	-	0.3		
半字(16位)写入时间	-	12	384	μs	不包括系统级开销时间
整片擦除时间	-	3.8	16.2	s	包括内部擦除前的写入时间

写入周期和数据保持时间(目标值)

写/擦次数(周期)	保持时间(年)
1,000	20*
10,000	10*
100,000	5*

\*: 该值源于技术可靠性评估结果的转换(该值是在平均温度+85°C的条件下使用 Arrhenius 方程进行的高温加速试验结果的转换)。

## 9. 工作闪存写/擦特性(暂定值)

(Vcc = 2.7V ~ 5.5V, Ta = - 40°C ~ + 105°C)

参数	规格值			单位	备注
	最小	标准	最大		
扇区擦除时间	-	0.3	1.5	s	包括内部擦除前的写入时间
半字(16位)写入时间	-	20	384	μs	不包括系统级开销时间
整片擦除时间	-	1.2	6	s	包括内部擦除前的写入时间

写入周期和数据保持时间(目标值)

写/擦次数(周期)	保持时间(年)
1,000	20*
10,000	10*

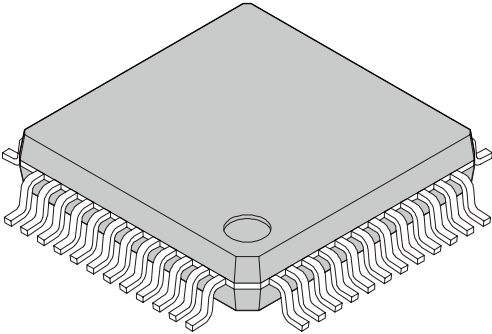
\*: 该值源于技术可靠性评估结果的转换(该值是在平均温度+85°C的条件下使用 Arrhenius 方程进行的高温加速试验结果的转换)。

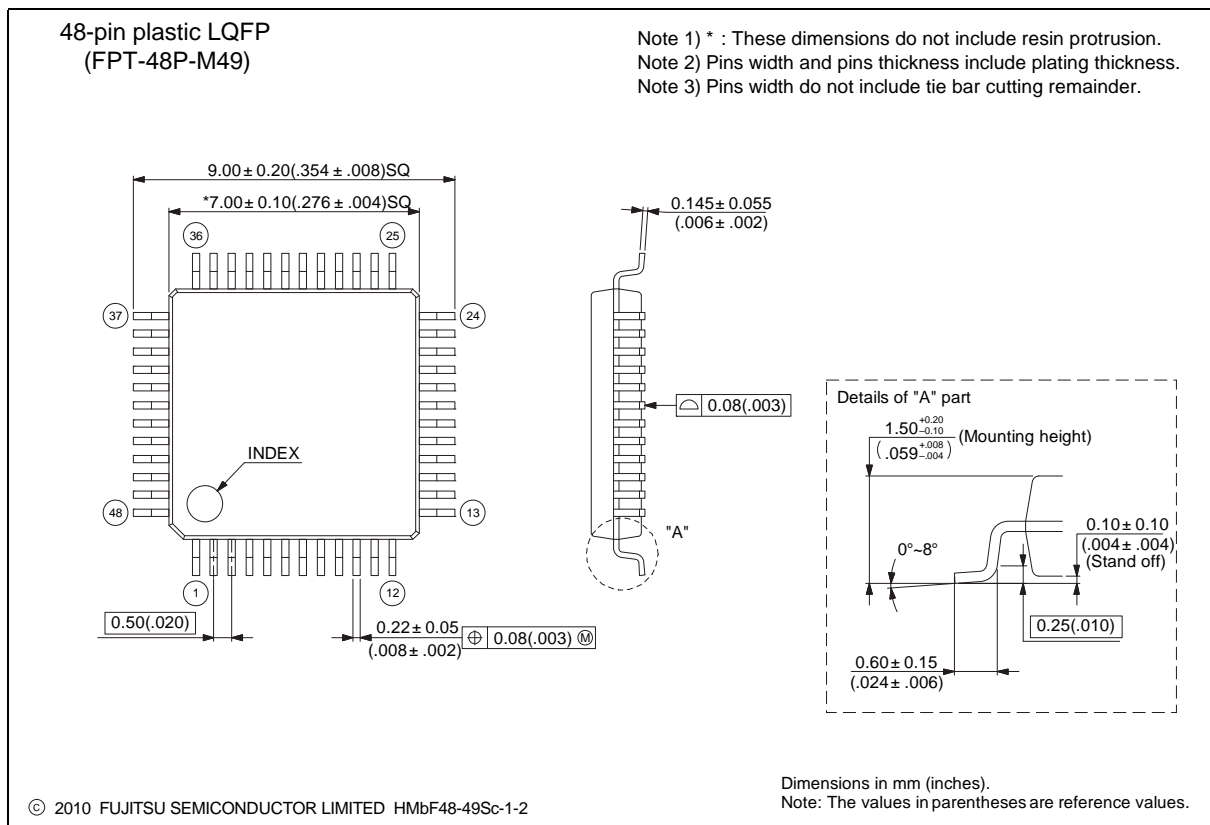
## ■ 订购信息

产品类型	封装
MB9AF311KPMC	塑封 LQFP(0.5mm 间距),48 脚 (FPT-48P-M49)
MB9AF312KPMC	
MB9AF311KPMC1	塑封 LQFP(0.65mm 间距),52 脚 (FPT-52P-M02)
MB9AF312KPMC1	
MB9AF311KQN	塑封 QFN(0.5mm 间距),48 脚 (LCC-48P-M73)
MB9AF312KQN	

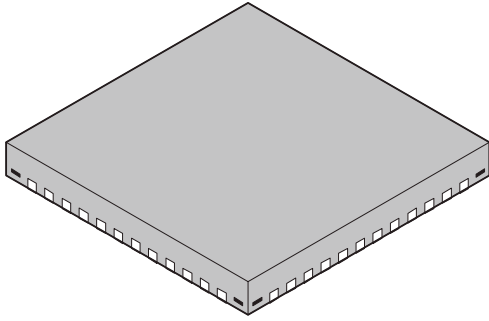


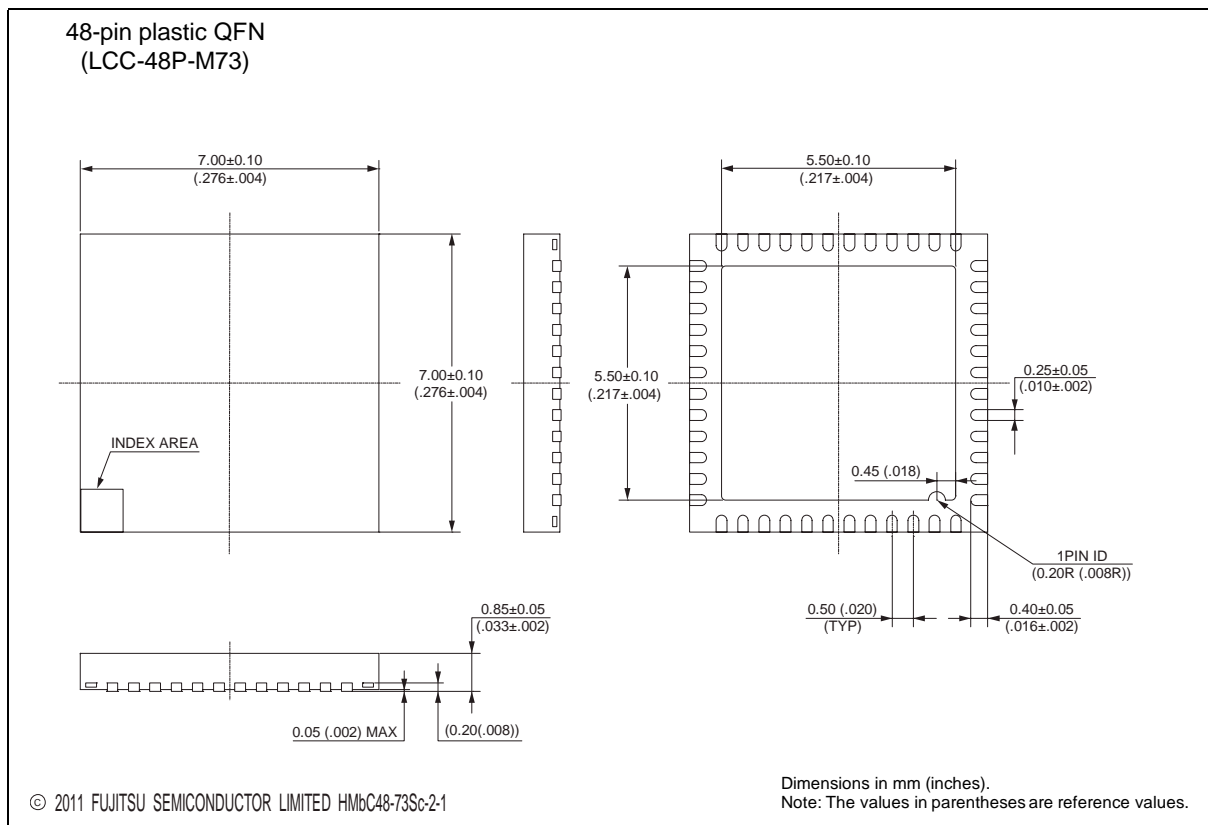
■ 封装尺寸图

 <p>48-pin plastic LQFP</p> <p>(FPT-48P-M49)</p>	Lead pitch	0.50 mm
	Package width × package length	7.00 mm × 7.00 mm
	Lead shape	Gullwing
	Lead bend direction	Normal bend
	Sealing method	Plastic mold
	Mounting height	1.70 mm MAX
	Weight	0.17 g

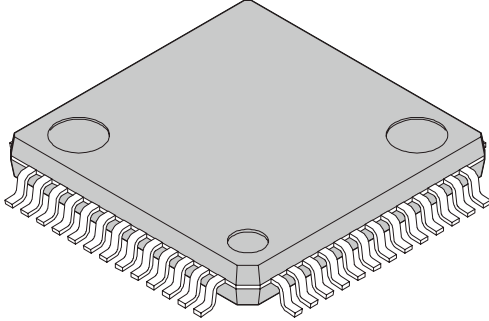


访问以下 URL 获取最新封装信息:  
<http://edevice.fujitsu.com/package/en-search/>

<p>48-pin plastic QFN</p>  <p>(LCC-48P-M73)</p>	Lead pitch	0.5 mm	
	Package width× package length	7.00 mm × 7.00 mm	
	Sealing method	Plastic mold	
	Mounting height	0.90 mm MAX	
	Weight	—	

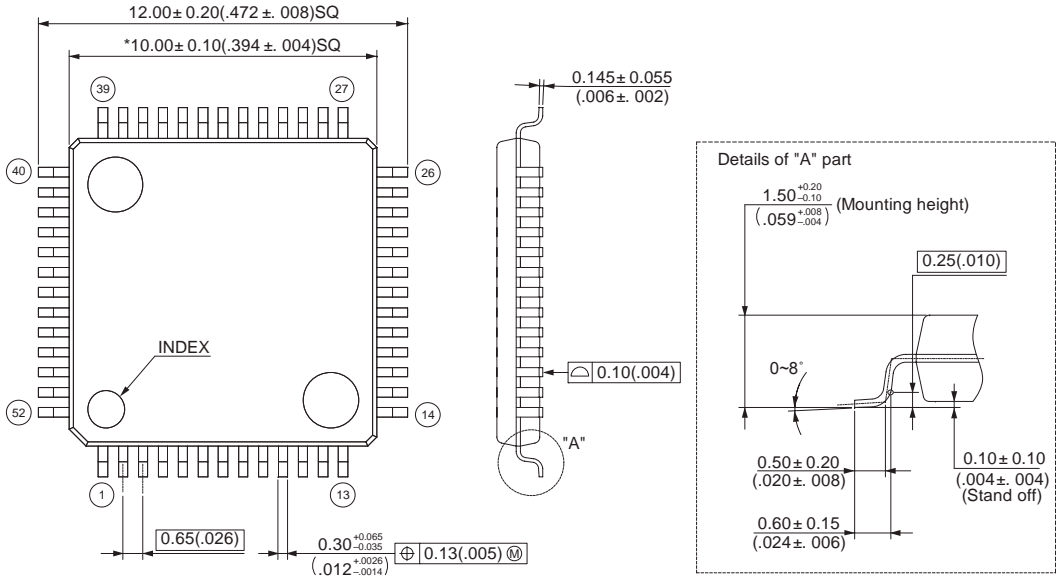


访问以下 URL 获取最新封装信息:  
<http://edevice.fujitsu.com/package/en-search/>

<p>52-pin plastic LQFP</p>  <p>(FPT-52P-M02)</p>	Lead pitch	0.65 mm
	Package width x package length	10.00 x 10.00 mm
	Lead shape	Gullwing
	Sealing method	Plastic mold
	Mounting height	1.70 mm MAX
	Weight	0.32 g
	Code (Reference)	P-LFQFP52-10x10-0.65

52-pin plastic LQFP (FPT-52P-M02)

Note 1) \* : These dimensions do not include resin protrusion.  
 Note 2) Pins width and pins thickness include plating thickness.  
 Note 3) Pins width do not include tie bar cutting remainder.



Top view dimensions:  
 Overall width:  $12.00 \pm 0.20$  (472 ± 008)SQ  
 Pin pitch:  $0.65$  (026)  
 Pin thickness:  $0.30$  (+0.005, -0.008) (012 -0014)  
 Pin width:  $0.13$  (005) Ⓜ

Side view dimensions:  
 Lead height:  $0.145 \pm 0.055$  (006 ± 002)  
 Lead thickness:  $0.10$  (004)

Details of "A" part:  
 Mounting height:  $1.50$  (+0.20, -0.10) (059 -004)  
 Stand off:  $0.10 \pm 0.10$  (004 ± 004)  
 Lead thickness:  $0.25$  (010)  
 Lead width:  $0.50 \pm 0.20$  (020 ± 008)  
 Lead thickness:  $0.60 \pm 0.15$  (024 ± 006)

© 2010 FUJITSU SEMICONDUCTOR LIMITED F52002Sc-2-1

Dimensions in mm (inches).  
 Note: The values in parentheses are reference values

**FUJITSU SEMICONDUCTOR LIMITED**

Nomura Fudosan Shin-yokohama Bldg. 10-23, Shin-yokohama 2-Chome,  
Kohoku-ku Yokohama Kanagawa 222-0033, Japan

Tel: +81-45-415-5858

<http://jp.fujitsu.com/fsl/en/>

*For further information please contact:*

**North and South America**

FUJITSU SEMICONDUCTOR AMERICA, INC.  
1250 E. Arques Avenue, M/S 333  
Sunnyvale, CA 94085-5401, U.S.A.  
Tel: +1-408-737-5600 Fax: +1-408-737-5999  
<http://us.fujitsu.com/micro/>

**Europe**

FUJITSU SEMICONDUCTOR EUROPE GmbH  
Pittlerstrasse 47, 63225 Langen, Germany  
Tel: +49-6103-690-0 Fax: +49-6103-690-122  
<http://emea.fujitsu.com/semiconductor/>

**Korea**

FUJITSU SEMICONDUCTOR KOREA LTD.  
902 Kosmo Tower Building, 1002 Daechi-Dong,  
Gangnam-Gu, Seoul 135-280, Republic of Korea  
Tel: +82-2-3484-7100 Fax: +82-2-3484-7111  
<http://kr.fujitsu.com/fsk/>

**Asia Pacific**

FUJITSU SEMICONDUCTOR ASIA PTE. LTD.  
151 Lorong Chuan,  
#05-08 New Tech Park 556741 Singapore  
Tel : +65-6281-0770 Fax : +65-6281-0220  
<http://sg.fujitsu.com/semiconductor/>

**FUJITSU SEMICONDUCTOR SHANGHAI CO., LTD.**

30F, Kerry Parkside, 1155 Fangdian Road,  
Pudong New Area, Shanghai 201204, China  
Tel : +86-21-6146-3688 Fax : +86-21-6146-3660  
<http://cn.fujitsu.com/fss/>

**FUJITSU SEMICONDUCTOR PACIFIC ASIA LTD.**

2/F, Green 18 Building, Hong Kong Science Park,  
Shatin, N.T., Hong Kong  
Tel : +852-2736-3232 Fax : +852-2314-4207  
<http://cn.fujitsu.com/fsp/>

规格若有变动，恕不另行通知。欲了解详细信息，请联系各地的分支机构。

**版权所有。**

本手册的记载内容如有变动，恕不另行通知。

建议用户订购前先咨询销售代表。

本手册记载的信息，诸如功能概要和应用电路示例，仅作参考。旨在说明FUJITSU SEMICONDUCTOR半导体器件的使用方法和操作示例，对于其使用或性能，FUJITSU SEMICONDUCTOR不做任何保证。

FUJITSU SEMICONDUCTOR不保证使用本手册所载信息所获的性能和结果，不就任何事项做出保证、条件、陈述或条款，用户自行对使用该信息承担全部风险和责任，对基于上述信息的使用引起的任何责任或损失，FUJITSU SEMICONDUCTOR概不承担。

本手册内的任何技术信息，包括功能介绍和电路图，不应被理解为是对用户使用或行使FUJITSU SEMICONDUCTOR或其他任何第三方的专利权、著作权等任何知识产权以及其他权利的许可，用户对上述权利不享有任何产权和利益。FUJITSU SEMICONDUCTOR也不保证使用该信息不存在侵犯任何第三方的知识产权或其他权利的可能。因用户使用该信息引起的有关侵犯第三方的知识产权或其他权利的索赔或诉讼，FUJITSU SEMICONDUCTOR不承担任何责任。

本手册介绍的产品旨在为一般用途而设计、开发和制造，包括一般的工业使用、通常办公使用、个人使用和家庭使用；而非用于以下领域的设计、开发和制造(1)使用中伴随着致命风险或危险，若不加以特殊高度安全保障，有可能导致对公众产生危害，甚至直接造成死亡、人身伤害、严重物质损失或其他损失(即核设施的核反应控制、航空飞行控制、空中交通控制、公共交通控制、医用维系生命系统、核武器系统的导弹发射控制)，(2)需要极高可靠性的应用领域(比如海底中转器和人造卫星)。

属于在上述领域内使用该产品而引起的用户和/或第三方的任何索赔或损失，FUJITSU SEMICONDUCTOR不承担任何责任。

半导体器件存在一定的故障发生概率。请用户对器件和设备采取冗余设计、消防设计、过流防护，其他异常操作防护措施等安全设计，保证即使在FUJITSU SEMICONDUCTOR半导体器件发生故障的情况下，也不会造成人身伤害、社会损害或重大损失。

本手册内记载的任何产品的出口/发布可能需要根据日本外汇及外贸管理法和/或美国出口管理法条例办理必要的手续。

本手册内记载的公司名称和商标名称是各个公司的商标或注册商标。

本手册内记载的公司名称和商标名称是各个公司的商标或注册商标。

本手册内记载的公司名称和商标名称是各个公司的商标或注册商标。

编辑：销售促进部